

C A P I T U L O 1 : P l a c a B a s e

1.0 - Placa base para MS AXIS

Esta placa es la parte fundamental de la MS AXIS, ya que en ella reside la CPU (8088), coprocesador aritmetico (8087), memoria , BIOS en ROM, controlador de DMA, Timer, controlador de interrupciones, Interface a teclado, impresora, canales RS232, y a discos flexibles de 5 1/4".

A continuación se tratarán las interrelaciones entre las partes que componen la placa, dejando para más adelante el estudio de cada una de estas.

1.1 - Diagrama en bloques.

La figura 1 muestra una vista general de las partes que componen la placa base de la MS AXIS y como están conectadas entre sí.

En ella se pueden ver los siguientes bloques:

- CPU
- Memoria RAM
- Memoria ROM
- DMA
- Periféricos I
- Periféricos II
- Slot de expansión

Fundamentalmente estos bloques se relacionan a través de tres bus independientes que son:

- bus de datos
- bus de direcciones
- bus de control

Estos tres bus son gobernados por diferentes señales dando así la posibilidad a distintos bloques a hacer uso de ellos.

En una placa base los bus son manejados por la CPU o por el circuito de DMA (Direct Memory Access). Para ello se usa una señal llamada AEN, la cual se explicará más adelante.

Las flechas indican las direcciones posibles de los bus en cada zona del diagrama.

Se pueden apreciar además pequeños bloques interpuestos entre los bus. Estos son buffers three states que permiten la aislación de los bloques entre sí.

El bloque denominado CPU, esta formado fundamentalmente por el microprocesador Intel 8088 con sus auxiliares 8288 y 8284, controlador de bus y generador de clock respectivamente.

Tambièn conforman el bloque el coprocesador 8087 y el controlador de interrupciones 8259.

El bloque DMA esta formado por el controlador de DMA 8237 y circuitos asociados.

El bloque Memoria RAM esta formado por cinco bancos de 64 Kbyte c/u + paridad, generador de paridad y circuitos asociados.

La memoria ROM esta formada por la ROM del BIOS (2764) y otra de uso general.

El bloque perifèricos I esta formado por un port paralelo 8255 el cual maneja al teclado y parlante de la màquina. Tambien forman este bloque el timer del sistema 8253.

El bloque perifèricos II esta formado por las interfaces de disco flexible de 5 1/4", de impresora y de comunicaciones RS232.

Los slot de expansiòn son 5 conectores de 62 pines en los cuales se pueden conectar placas IBM PC compatibles.

A continuaciòn se tratarà cada bloque en particular:

1.2 - Bloque CPU

Este circuito esta basado en un sistema con el microprocesador INTEL 8088 y demás integrados de la familia.

Para seguir estas explicaciones referirse al plano 01 de la placa base.

Como características salientes del procesador, se destacan su capacidad de direccionamiento 1MByte, lo cual realiza mediante 20 líneas de Address. Internamente trabaja como un procesador de 16 bit, pero con un bus de datos externo de 8 bit; trabaja con un clock de 4.77 MHz.

En nuestra placa el 8088 trabaja en modo máximo, es decir que está preparado para compartir los bus con un coprocesador, el 8087 coprocesador aritmético.

El clock del sistema está generado por el circuito UC5, 8284, el cual tiene conectado un cristal, UB2, de 14.31818 MHz. Esta frecuencia es dividida por tres para obtener los 4.77 MHz.

Esta última, tiene un ciclo activo del 33%, o sea un tiempo en "1" y dos en "0". Otras frecuencias generadas son OSC=14.31818, y está dividida por seis (2.38 MHz.). De OSC se obtiene la frecuencia de croma en la placa de video, esta es OSC/4 = 3.58MHz.

El 8284, también maneja el RESET del sistema. Este se genera cuando se enciende el equipo o cuando se presiona el switch de Reset.

El capacitor C30, la resistencia R4 y el diodo CR3, conforman el circuito de Power On reset. Las compuertas smith trigger UC02 conforman el pulso de reset. La salida de reset sincronizada con el clock ingresa en el 8088 y se distribuye al resto de la placa mediante las compuertas UC02.

Otra función del 8284 es generar la señal de READY (sincronizada con el clock) que pone en WAIT al procesador. Esta es generada cuando alguna de las dos líneas -RDY o -DMA WAIT este en cero. (1/0 tiene 1 Turno entre T₃ y T₄ → esto es siempre)

Como habíamos visto en el diagrama en bloques, existen tres bus en el sistema: datos, direcciones y control. Los dos primeros son generados por el 8088 y el tercero por el 8288, UC00 en el plano 01.

El 8288 genera las señales de control a partir de las señales de status S0, S1 y S2 generadas por el 8088. Estas líneas codificadas en binario, representan los ocho ciclos posibles de la CPU. Estos son:

-S2	-S1	-S0	ciclos de CPU
0	0	0	Interr. Acknowl.
0	0	1	I/O Read
0	1	0	I/O Write
0	1	1	Halt
1	0	0	Inst. Fetch
1	0	1	Memory Read
1	1	0	Memory Write
1	1	1	Passive

Con estas tres líneas y el clock el 8288 genera las siguientes señales de control:

- DEN: (Data Eneable) un "1" en esta señal sirve para habilitar el bus de datos.
- DT/-R: (Data Transmit/Receive) indica la dirección de circulación del bus de datos. Un "1" indica que el procesador saca un dato y un "0" que este recibe uno.
- ALE: (Address latch eneable) un "1" indica que el procesador usa sus líneas ADO-7 para sacar las ocho address menos significativas.
- I/OW: (Input Output Write) con un "0" en esta línea se graba la puerta seleccionada.
- I/OR: (Input Output Read) con un "0" el procesador lee un byte desde la puerta seleccionada.
- MEWR: (Memory Write) con un "0" en esta línea el procesador graba un byte en memoria.
- MEMR: (Memory Read) con un "0" el procesador lee un byte de memoria.
- INTA: (Interrupt Acknowledge) un "0" en esta línea indica que se ha reconocido una interrupción.

Muchos de los pines del 8088 se usan con dos funciones (multiplexados). Así, los 8 bits de datos comparten pines con los 8 bits menos significativos de las address A0-7, las 4 address más significativas A16-19 se comparten con las señales de estatus S3-6. Para separarlos se usa la señal de "ALE", con ella se almacenan las address antes indicadas en el circuito UB11 y UB5 (74LS373); el resto de las address A8-15 no se comparten pero por razones de aislación se almacenan en UB7 (74LS373).

Por su lado las líneas de datos son "buffereadas" por UG11 (74LS245) cuyo pin 1 esta conectado a DT/R para dar la dirección de circulación de este bus.

Cuando se ejecuta algún pedido de DMA, este bloque debe ser aislado del resto, ya que los tres bus, serán generados desde el bloque de DMA. Ello ocurre cuando la señal +AEN se pone en "1"; los circuitos UB5, UB7 y UB11 se ponen en tercer estado. Lo mismo ocurre con las señales de control generadas por el 8288. El UG11, se desactiva debido a que la señal de DEN se pone en "0".

Mientras dure el ciclo de DMA, el 8088 permanecerá en WAIT, estado al que llega por encontrarse la señal de -DMA WAIT en "0".

El buffer de datos UG11, también puede ser puesto en tercer estado cuando se atiende un pedido de interrupciones "INTA". Esto es solicitado por el circuito 8259 UH4, el cual pone el "0" la señal de -SP/EN (pin 16) el que se conecta junto con DEN a la compuerta nand UK15, cuya salida (pin 3) inhibe al UG11.

El 8259 es un periférico programable que tiene la posibilidad de manejar hasta 8 pedidos de interrupciones, las cuales se atenderán de acuerdo a la prioridad asignada en su inicialización. El BIOS de nuestra máquina, le asigna una prioridad descendente a partir IR0 a IR7. Esto es, IR0 tiene mayor prioridad que IR1, esta que IR2, etc.

Cuando alguna de las líneas IR0-7 se pone en "1", el 8259, saca por su pin 17 (INT) un "1". Este entra en el pin 18 del 8088 (INTR) y si las interrupciones estan habilitadas, pondrá en "0" la línea de INTA, reconociendo de esta forma el pedido.

Un pedido de interrupción necesita de dos ciclos de INTA, el primero para controlar las prioridades (sin actividad en el bus de datos) y el segundo para sacar el vector de interrupción que va de 08H a 0FH. Con este vector, el 8088 identifica el tipo de interrupción y la ejecuta.

El 8088 puede atender hasta 256 tipos de interrupciones, cada una de estas tiene asignado 4 bytes en el primer Kbyte de la memoria RAM. En estos se debe almacenar el segmento y offset de la primer dirección ejecutable de la rutina de interrupción de que se trate.

```

0  LSB  SEG
1  MSB  SEG
2  LSB  OFFSET
3  MSB  OFFSET

```

Las 8 interrupciones generadas por el 8259 tienen asignadas desde la dirección 20H a la 3FH según se detalla a continuación:

- IR0	Interrupción tipo 08	dir:-	20H a 23H
- IR1	Interrupción tipo 09	dir:	24H a 27H
- IR2	Interrupción tipo 0A	dir:	28H a 2BH
- IR3	Interrupción tipo 0B	dir:	2CH a 2FH
- IR4	Interrupción tipo 0C	dir:	30H a 33H
- IR5	Interrupción tipo 0D	dir:	34H a 37H
- IR6	Interrupción tipo 0E	dir:	38H a 3BH
- IR7	Interrupción tipo 0F	dir:	3CH a 3FH

1.3 - Bloque de Memoria RAM

Para tratar este bloque, nos ilustraremos con los planos 2 y 3, CONTROLADOR DE RAM y MEMORIA RAM 320K.

La placa base tiene previsto 5 bancos de 64K de memoria RAM. Cada banco consta de 9 chips de memoria dinámica del tipo 4164, estas son de 64 Kbit. Ocho se usan para almacenar los datos y la novena para la paridad.

Las ocho memorias de datos tienen puenteados el bit de entrada con el de salida (pin 2 y 14), y a su vez los cinco bancos tienen unidos los bits homologos entre si. Esto es los D0 al D7 de cada banco estan unidos entre si.

El pin 1 de cada chip de memoria esta puesto a +5 V a traves de una resistencia de 4.7 KOhm.

Cada chip de memoria tiene 65536 celdas, agrupadas en 256 filas y 256 columnas. Para acceder a una en particular hay que ingresar la fila y la columna (8 bit c/u) por la líneas RAS0-A7. La primera es válida cuando la señal de RAS (pin 2) pasa de "1" a "0", y la segunda cuando lo hace CAS (pin 15).

Tanto la grabación como la lectura se hace en la forma antes descrita y se diferencian entre si por la línea -WE (Write Enable pin 3) en la cual un "0" y un "1" indican respectivamente ambos procesos.

Estas 8 líneas de address y WE estan conectadas en paralelo en los 45 chips de memoria.

Cada banco tienen unidas entre si las líneas de RAS por un lado y CAS por el otro. Asi para el banco 0 estan RAS0 y CAS0, para el banco 1 RAS1 y CAS1, etc.

Por su parte los chip destinados a almacenar la paridad, tienen separados los bits de entrada y salida, pero unidos entre si en los cinco bancos. Estos dos bits (ent y sal) son manejados por el circuito UM26 (74S280) generador de paridad.

Este circuito tiene 9 entradas y una salida, la cual da la paridad de las nueve. Si el número de "1" presente en las líneas de entradas es par la salida será "1", caso contrario será "0".

Cuando se graba la paridad una de las entrada, ("I"), permanece en "0", neutralizando su presencia. Las 8 restantes ("A") la paridad a grabarse en el pin 2 del chip de paridad del banco seleccionado.

En cambio en la lectura, las 9 líneas (datos + paridad) generan un "0" cuando la paridad coincide y un "1" cuando existe error. Esta misma línea genera la señal de +RAM PTY, la que a su vez producirá una interrupción tipo NMI, como se verá luego.

Los 8 bit de datos provenientes de la memoria RAM son llevados a un buffer UL09 (74LS245) luego del cual se conecta al bus de datos. Este integrado esta manejado por -MEMR para definir su direcci3n y por -RAMSEL para aislar o no la memoria del resto del sistema.

El plano 02 muestra como se genera -RAMSEL, las se1ales de RAS0-4 y CAS0-4, -WE y las address RAS0-7.

La se1al de RAMSEL se genera en el circuito UG7 (pin 5 de 74LS85), este es un comparador de 4+4 entradas. Un grupo de estas estan conectadas a las lineas A16-18 provenientes del bus de direcci3n y el otro grupo a los jumpers JP2-4. La funci3n de esta parte del circuito es separar la memoria que se direccionar1 dentro de la placa base de la que se colocar1 fuera de ella. Como por ejemplo, alguna placa de expansi3n, o una placa de video.

Para habilitar los cinco bancos se deben poner los jumpers de la siguiente manera:

JP2 - ON
JP3 - OFF
JP4 - ON

Las se1ales de RAS son generadas por el circuito UH07 (74LS138) o por la se1al -DACK0 (ver figura 2).

Las se1ales de CAS las produce UH01 74LS138 (ver figura 2).

En ambos decodificadores las entradas A,B y C estan conectadas a las address A16-18 provenientes de el bus de direcciones pero previo paso por el circuito UJ09 (82129). Las habilitaciones estan generadas por RAMSEL, -DACK0 negada y otras dos producidas por una serie de retardos producidos a partir de MEMR o MEWR.

Las 8 lineas de address RAS0-7 salen de multiplexar las lineas A0-15 del bus de direcciones, en los circuitos UB9 y UB01 (74S158).

Habiamos visto que para acceder a un byte de memoria habia que pasar la fila y columna con las se1ales de RAS y CAS. Las compuertas UH09, UI11, UI09 y UF07 junto con los capacitores C18, C21 y C23 obtienen a partir de las se1ales -MEMR o -MEWR tres se1ales retardadas entre si. La primera pin 6 de UH09 habilita al decodificador UH07 para generar RAS, mientras que la informaci3n de las filas salen por UB9 y UB01 (pin 1 en "0"). Un tiempo despues la segunda se1al pin 6 de UI11 cambia el estado del pin 1 de UB9 y UB01 de "0" a "1" habilitando la columna. Luego se genera la tercer se1al en el pin 8 de UI09 la que produce el CAS.

Hemos visto que la línea DACK0 puede producir a la señal de RAS. Esto ocurre cada 15 microsegundos, con el fin de refrescar la memoria. Para ello, y solo en este caso, las líneas de RAS0-4 salen en paralelo, refrescando de esta forma a todos los bancos de la placa. Esto se logra con los chips UHQ5 y UHQ9.

256.15µs @ 2-4

El refresco se produce mediante un ciclo de "RAS ONLY" en el cual no se usa el CAS y ningún dato entra ni sale de las memorias.

La información de la fila a refrescar la genera el bloque de DMA, como veremos más adelante.

Las cuatro address más significativas A16-19, definen 16 bancos de memoria de 64 KByte, los primeros 5 están definidos por A16-18, así el estado de estas definen el banco a acceder según se ve en el siguiente esquema:

A19	A18	A17	A16	BANCO
0	0	0	0	0
0	0	1	1	1
0	1	0	2	2
0	1	1	3	3
1	0	0	4	4

En la placa base, el número de banco no está definido directamente por esta address. Un circuito especial formado por la ROM UJ09, el latch CMOS UJ11 (4076) y los inversores UK13 y UI13, dan la posibilidad de cambiar la asignación vista en el cuadro anterior dando así la posibilidad de anular un banco que se encuentre defectuoso, con solo resetear la placa.

Cuando un error de paridad se produce, la señal de PTY CHECK almacena en UJ11 el estado de A16-18. Esto produce el instantáneo switcheo de este banco defectuoso por otro.

La información del banco dañado queda almacenada en UJ11, aun cuando la MS AXIS esté apagada. De esta forma, un técnico puede acceder a este dato gracias a los tres LED CR006-8.

CR00X			BANCO
8	7	6	
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	1	1	-

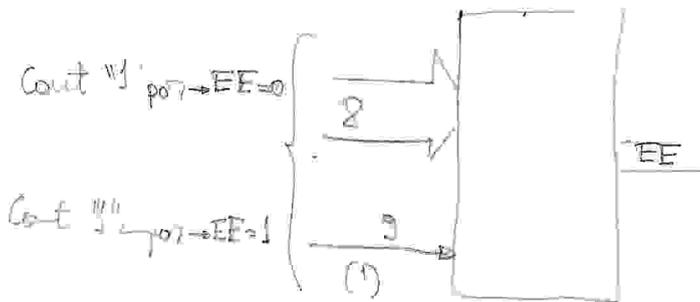
"1" = prendido
"0" = apagado

Para resetear UJ11, y restaurar todos los bancos se debe puentear el jumper JP27.

Los jumpers JP7-13 y JP18-20 permite junto a otros cambios pasar de chip de memoria de 64 Kbit a 256 Kbit.

Para las memorias 4164, se deben colocar los jumpers: JP20, JP18, JP8, JP7 y JP12.

Para finalizar, cuando un error de paridad ocurre en algunos de los bancos de la placa base, (y no se esta realizando un refresco), la entrada "D" del flip-flop UG09 (pin 12 del 74LS74) se pone en "1" y con el flanco de subida de -MEMR, se genera la señal de PTY CHECK, siempre y cuando la señal -EN RAM PTY no este activa.



"1" = cont input "1" \Rightarrow EE = 0
 0 + "1" cont "1" \Rightarrow EE = 0

REFRESCO

128 filas	256 filas
<u>A₀ - A₆</u>	<u>A₀ - A₇</u>
64K	256K
15µs x 128 < 2µs	64K
15µs x 256 < 4µs	256K

1.4 - Bloque de Memoria ROM.

La memoria ROM prevista en la placa base, esta formada por dos memorias del tipo 27128 EPROM de 16KByte c/u. -

Dichas memorias estan direccionadas desde la locación 0F8000H al 0FBFFFH la UL20 y en 0FC000H al 0FFFFFH, la UL17.

Para decodificar ambas memorias, se usa el circuito UH03 y el UB03.

El buffer UK26 conecta a ambas memorias al bus de datos cuando este es habilitado. Esto se hace cuando algunas de las dos EPROM se selecciona (ver UL15 pin 11).

Los jumpers JP21-24 y JP30-32, se colocan segun sea el tipo de EPROM a usar. En la placa base se usan 2764 que son EPROM de 8 KByte. Para ello JP31, JP23, JP32 Y JP24 deben ir puestos. El jumper JP6 puesto, inhibe la ROM de la placa base.

El UL20 y UL17 tienen conectado en paralelo las lineas de address A0-13 las que a su vez estan unidas al bus de direcciones. Las lineas de datos, en paralelo entre si, se conectan al bus de dato a traves de UK26, como se indicò antes.

Los CS (chip select pines 20 de ambas memorias) estan conectados a GND. Los -OE estan conectados a UH03. Este se habilita cuando las cuatro address mas significativas estan en "1" , +CLEAR = +RESET este en "0" y -MEMR este en "0".

Cuando se resetea la máquina, el CS (code segment) se carga en 0FFFFH y el IP (instruction pointer) con 0000H, y alli ejecuta la primer instruccion. Por ello en esta locación se encuentra la ROM del BIOS.

La figura 3, muestra el mapa de memoria de la MS AXIS. -

MAPA DE MEMORIA DE LA MS AXIS

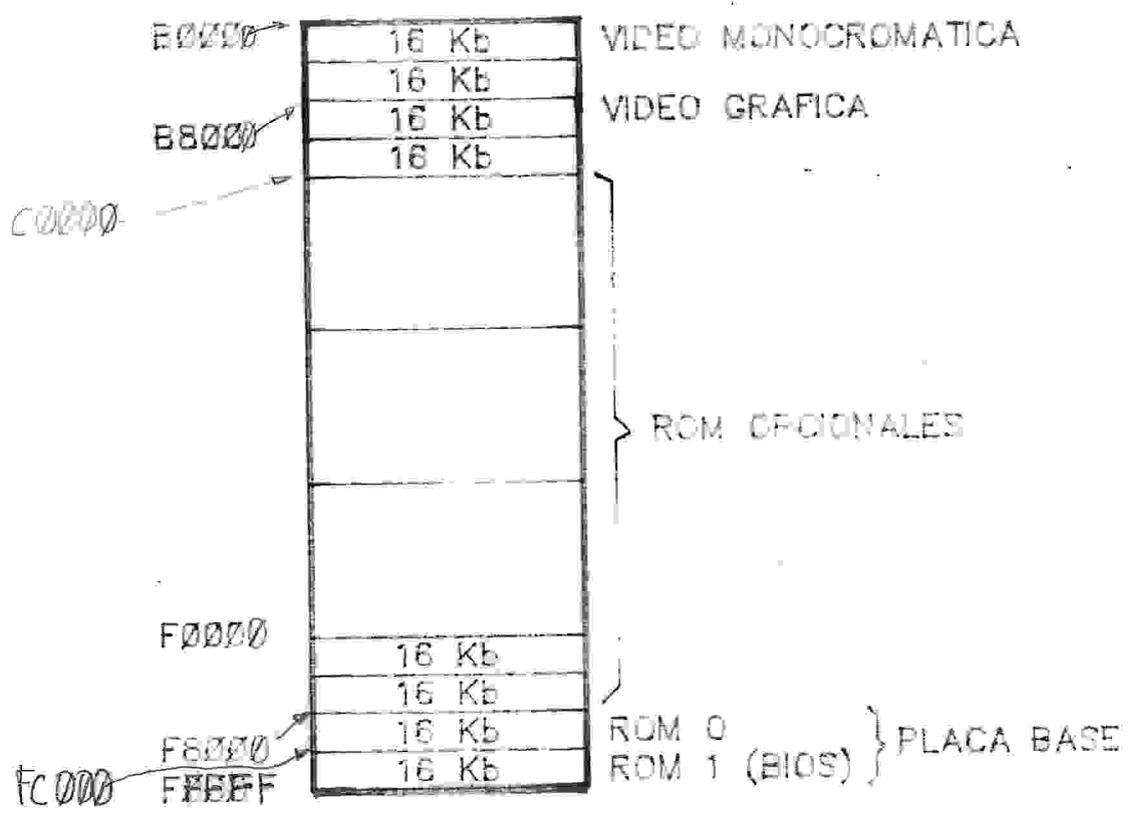
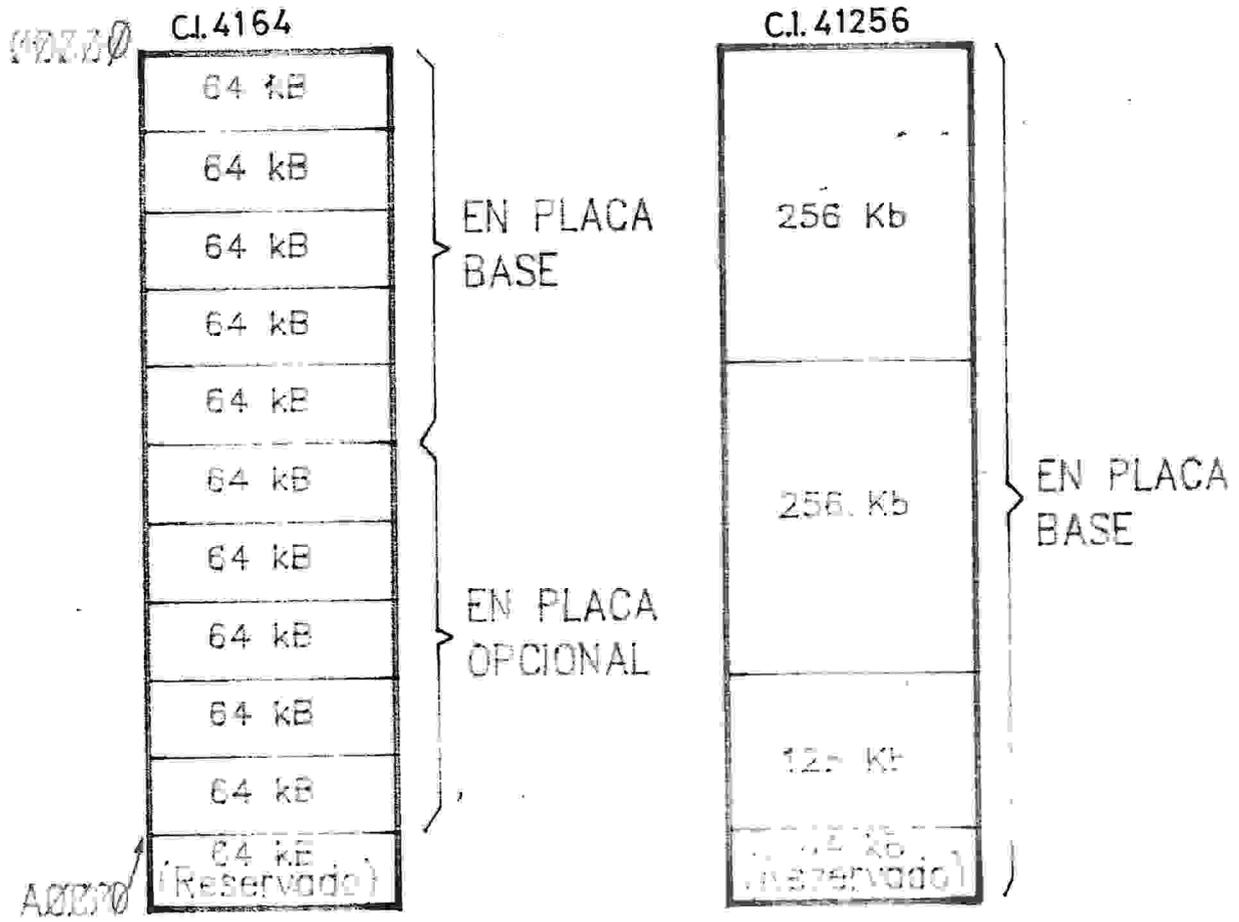


FIGURA 3

1.5 - Bloque DMA

Referirse al plano 08.

DMA es Direct Memory Access, o acceso directo a memoria, y significa poder acceder a memoria desde un periférico sin necesidad de pasar por la CPU por cada byte que se desea transferir. El controlador de DMA de la MS AXIS permite además, realizar transferencias de memoria a memoria sin intervención de la CPU. Este circuito está basado en un 8237A-5, que permite manejar hasta 65536 direcciones de memoria mediante 16 líneas de address, transfiriendo hasta 65536 bytes desde memoria hacia un port o viceversa.

Puesto que las direcciones de memoria en la MS AXIS son de 20 bits, se necesitan 4 bits además de los provistos por el 8237. Estos 4 bits extra, son aportados por un registro de 4 palabras de 4 bits, el 74LS670 UE11 (plano 06).

El 8237 provee hasta 4 canales separados de DMA, los que tienen una línea de pedido de DMA (DRQ0..DRQ3) y una línea de reconocimiento de DMA (DACK0..DACK3).

Como descripción simplificada, podemos decir que básicamente cuenta con 4 registros de 16 bits llamados "BASE REGISTERS", y 4 registros llamados "COUNT REGISTERS". Estos 8 registros pueden ser programados por la CPU en cualquier valor de 0 a 0FFFF hexadecimal.

Los base registers, mantienen la información de las direcciones memoria próxima a accederse por cada canal. Los count registers son decrementados por cada transferencia hasta que lleguen a cero, momento en que el canal se desocupa.

En la MS-AXIS, todos los canales se programan de manera que a un pulso de DRQ corresponda una lectura o grabación de memoria.

Con un pulso (activo con 1) de DRQ, comienza el trabajo del 8237. Primeramente debe resolver si tiene pendiente un DRQ de mayor prioridad. De no ser así, pondrá en 1 la línea HRQ (pin 10). Esta línea es un requerimiento a la CPU de que libere las bus de address, data y control para que el 8237 pueda hacer la transferencia programada. Cuando la CPU pudo liberar las bus, envía una línea (HLDA, pin 7) a 1, indicando al 8237 que puede tomar control. El 8237 entonces realiza un ciclo de lectura o grabación de memoria, tal como si lo hiciera la CPU. Mientras envía a 0 la línea -MEMR ó -MEMW, hace lo propio con la correspondiente de I/O, o sea -IOW o -IOR, (observar el orden), indicando de esta forma que es una transferencia de memoria a periférico, en el primer caso, o de periférico a memoria, en el segundo. Al mismo tiempo, envía a 0 la línea DACK correspondiente al DRQ que solicitó el acceso a memoria.

Las direcciones que envía el 8237 son las de la MEMORIA involucrada en la transferencia. Para ubicar la puerta, debe trabajarse con el DACK correspondiente.

El 74LS670 es, como dijimos, un registro de 4 palabras de 4 bits. Este registro es grabado por I/O, y es leído cuando se reconoce un pedido de DMA. La siguiente tabla muestra como grabar los 4 bits de cada palabra:

# de palabra	direccion I/O	WA	WB
0	0080H	0	0
1	0081H	0	1
2	0082H	1	0
3	0083H	1	1

(WA=pin 14 y WB=pin 13) son las address de grabación del 74LS670.

Las líneas de entrada de datos (D0..D3) están conectadas a las cuatro menos significativas del sistema. Por lo tanto, supongamos que queremos grabar un "9" en la palabra 2. Debemos hacer:

```
MOV     AL,9           ;AL es un registro del 8088
OUT     (82),AL
```

Las address de lectura del 74LS670 (RA=pin 5 y RB=pin 4) están conectadas a -DACK3 y -DACK2. Por lo tanto, según cual sea el canal de DMA que realiza el ciclo, tendremos el siguiente registro involucrado:

# de canal	DACK0	DACK1	DACK2	DACK3	# de palabra
0	0	1	1	1	3
1	1	0	1	1	3
2	1	1	0	1	1
3	1	1	1	0	2

El canal 0 se utiliza para hacer el refresco de la RAM dinámica, y como ya hemos visto, todos los bancos se refrescan en paralelo, por lo tanto no se necesita los 4 bits mas significativos. Quedan como útiles entonces, 3 canales de DMA que pueden direccionar cualquier byte del Megabyte de memoria.

Supongamos por ejemplo, que queremos hacer una transferencia de los 256 bytes (=100H) de memoria comenzando desde la dirección física 34FOAH, mediante el canal de DMA 2. Para ello debemos hacer lo siguiente:

- 1). Grabar un "3" en la palabra 1 del 64LS670 (dir. 0081H)
- 2). Cargar el registro BASE del canal 2 con 4FOAH.
- 3). Cargar el registro COUNTER del canal 2 con 0100H.

Cuando empiecen a llegar los pulsos de DRQ2, el 8237 comenzará por transferir de la locación 34FOAH, 34FOBH... hasta la 35009H.

Cuando termina toda la transferencia de datos, o sea cuando el registro COUNTER llega a 0, el 8237 activa la línea -EOP (pin 36). De esta forma se informa al periférico que ha finalizado el proceso de DMA.

Las líneas de address A0 a A3 (pines 32 al 35), son bidireccionales, puesto que cuando se programa el 8237, sirven para direccionar cada uno de los registros internos, y cuando el 8237 está realizando un ciclo de DMA, son salida de address para el sistema.

Cada ciclo de DMA, desencadena una secuencia de señales, de tal forma de habilitar determinados buffers y desactivar otros para permitir la libre circulación entre el periférico y la memoria.

Estas señales (HLDA, DMA WAIT, AEN, DMA AEN, etc.), son generadas por el circuito UH19 (cuatro flip-flop "D") y el UH24 (74LS74), y están sincronizadas con el clock del sistema (+ BCLK y -CLK88).

Por su parte el 8237 recibe su propio clock, obtenido este del clock del sistema. Así, la frecuencia es de 4.77 Mhz, pero conformada para que tenga un ciclo activo de un 50% aproximadamente. Este proceso de conformación de la señal de clock para el DMA se realiza por medio de las compuertas UF3, UD2, UC02, UE5, UC0 y UK15.

La secuencia de DMA comienza cuando un periférico pide un acceso directo a memoria, activando una línea de DRQ. El 8237 resuelve de acuerdo a la prioridad del canal (el canal 0 es el de mayor prioridad), y envía un HRQ para poder disponer de las bus.

La línea -HRQ (pin 6 del UG26) es llevada a 0, cuando el 8237 quiere tomar las bus como master. Algo similar ocurre con la línea -HRQ I/O CH, que sería activada por algún master conectado en un slot.

Cuando cualquiera de estas líneas se activa, se pone en 1 la salida del UG21 pin 8. Luego de esto, cuando las líneas -S0, -S1 y -S2 estén en 1 (+PASSIVE = "1"), indicando que la CPU no esta usando las bus en este momento (T4), y cuando la línea -LOCK, manejada por la CPU, esté inactiva, lo que indica que el ciclo de máquina en ejecución puede ser interrumpido (esto se puede setear por software), llega un 1 a pin 5 de UH19. En el siguiente flanco de subida de BCLCK la salida Q (pin 7) se irá a 1, provocando que el pin 2 de UH24 (D) también vaya a 1. Al siguiente flanco de subida de CLK 88 la línea HLDA que va al 8237 se irá a 1, indicándole que puede comenzar el ciclo de DMA. El flip-flop UH24 se mantendrá prendido, puesto que su preset esta conectado a -Q. Un ciclo de clock después, las líneas +AEN y -AEN se van a 1 y 0 respectivamente, desactivando a la CPU. En el siguiente ciclo de clock, la línea -DMA WAIT se va a 0, evitando que la CPU pueda seguir trabajando (la pone a ejecutar ciclos de WAIT). Simultáneamente, la línea -DMA AEN se pone en "0", habilitando a los buffers UD11, UH11, UE11 y UH26 para que el bus de address y el de control sean manejados por el 8237. El bus de datos fue controlado por este chip, cuando la señal de AEN se activó, habilitando al buffer de datos UK11 (plano 06).

Cuando la línea -HRQ se va a 1, inmediatamente se resetea el flip-flop UH24 por el pin 1, lo que produce el efecto inverso al anterior, culminando el ciclo de acceso a memoria.

En esta secuencia inversa, se garantiza el reestablecimiento de los bus a la CPU, de tal forma que los tiempos de acceso a memoria se compensen.

Un movimiento de memoria a memoria, via DMA, puede hacerse previo inicialización de los canales 0 y 1 como origen y destino respectivamente. Este ciclo tiene la particularidad de no activar ninguna línea de DACK. Debido a que todo ciclo de DMA lleva implícito un WAIT, esto se logra con UI24 cuando la línea -MEMR B se va a 0, mientras que -DACK0 sigue en 1 y +AEN se va a 1.

El 8237, así como el 8088, usa una bus de datos multiplexada con la de address. En este caso, las address multiplexadas son A8 a A15, y la línea que indica que las address son válidas se llama ADSTB.

Esta línea ADSTB entra a la gate de el conjunto de 8 flip-flops "D" 74LS373 (UD11), dando unas address estables para el resto del ciclo en las líneas ADDRESS. El resto de las líneas A0-A7 son obtenidas directamente de los pines 32 a 35 y 37 a 40, buffereadas por el 74LS244 UH11. Este buffer, así como el UD11 y el registro para las address más significativas UE11, son comandados por la línea -DMA AEN, la cual se activa un ciclo de clock después de AEN y se desactivan juntas, ambas generadas por UH19 y UG21 respectivamente.

Cuando las address son válidas, se activa la línea de DACK correspondiente para avisar al periférico que se efectúa la transferencia.

En la MS AXIS toda operación de I/O se realiza con un ciclo de WAIT. Así la operación completa se realiza en 5 ciclos de clk (1.05 micro segundos).

Toda operación de DMA lleva implícito una operación de I/O, por lo que se generará un ciclo de WAIT en cada una.

El circuito generador de WAIT esta formado por los integrados UH24 y UI24.

La línea +I/O CHAN RDY está conectada directamente a los slots de expansión, y se irá a 0 cuando algún periférico necesite más tiempo para completar su ciclo. Cuando esto ocurra, se prenderá el flip-flop 74LS74 UH24, llevando a 1 la línea -RDY que va a la CPU, lo que hará que esta se detenga hasta que cambie -RDY.

Un ciclo de clock después que la línea -RDY se fue a 0, la línea -Q del 74LS175 (UH19 pin 3) se irá a 0, apagando nuevamente a U57, y liberando a la CPU.

Cuando se ejecute un ciclo de I/O, aunque no se active la línea +I/O CHAN RDY, se provocará via UI24 un flanco de subida en el clock de UH24, que por tener su entrada "D" a +5 voltios, generará una secuencia similar a la anterior.

1.6 - Periféricos I

Referirse al plano 07.

Este bloque esta formado cuatro partes importantes:

- el 8255 periférico programable (I/O paralelo)
- interface de teclado y parlante.
- el 8253 timer del sistema.
- generador de NMI.

El 8255A-5, UH16, es una interface programable de 24 líneas de I/O.

Las 24 líneas se dividen en 3 grupos de 8 bits, llamados puertas A, B y C. Además posee un registro interno de control en el que se programa el sentido de la información de cada uno de los 3 grupos (esto es, si va a ser de entrada o salida). Las direcciones de I/O que le corresponden en la MS AXIS son:

ADDRESS	Port
-----	----
0060H	A
0061H	B
0062H	C
0063H	Control

El port -A- trabaja siempre como entrada, y puede leer ya sea el DIP-Switch UC08 o un dato del teclado, leyendo el contenido del shift register UB05, 74LS322.

El port -C- se divide en 2 partes: las líneas PC0-PC3 (las menos significativas), leen 8 llaves de UF24 (1..8), mediante el multiplexor UF18, 74LS157. La línea PC5 lee la salida del timer 2 del 8253, permitiéndonos conocer la salida de dicho canal. PC6 nos informa si en las placas de extensión hay alguna memoria que tiene un error de paridad (- I/O CHECK con el flip-flop UG21). PC7 cumple la misma función pero con la memoria de la placa base (PTY CHECK). PC4 queda libre.

Cuando se produce un error de paridad, el 8088 lee la puerta C, y según la información en PC6 y PC7 escribirá en la pantalla "ERROR EN MEMORIA BASE" si PC7 esta en "1", o "ERROR EN PLACA EXPANSION", si PC6 esta en "1".

El port -B- se usa como salida, de la siguiente forma:

- PB0 dispara el timer que maneja el parlante.
- PB1 habilita o deshabilita el parlante.
- PB2 selecciona el grupo de llaves que se leerán por PC0..PC3.
- PB3 está libre.
- PB4 habilita el error de paridad en RAM interna (-EN RAM PTY).
- PB5 habilita el error de paridad en RAM externa.
- PB6 hace de clock para el teclado.
- PB7 selecciona si el port -A- lee teclado o switch UC08.

El 74LS157, UF18, es un multiplexor de 4 canales de 2 vias.

Cuando la línea PB2 (Select o pin 1 del 74LS157) está en 0, las líneas 1Y, 2Y, 3Y y 4Y son iguales a 1B, 2B, 3B y 4B, leyendo de esta forma el estado de las llaves 1..4. Cuando la línea PB2 está en 1, por un mecanismo similar, se leen las llaves 5..8.

El teclado transmite los datos en forma serial, mediante un clock que es provisto por la MS AXIS (PB6). Este clock, es retardado 2 tiempos de PCLOCK (PCLOCK=2.38 MHz), y se usa para leer los datos seriales del teclado dentro de la MS AXIS. UC04 realiza este retraso.

La línea serial es TTL, e ingresa al Data Input del 74LS322 UB05 (pin 17), que es un registro de desplazamiento de 8 bits, entrada serie, salida serie y paralela. El primer bit que se shiftea es un 1. Cuando este 1 pasa por todo el registro, la salida serial (Q0=pin12 del 74LS322) se va a 1, mientras que la salida paralela (QA, QB,...QH) tiene el dato de 8 bits cargado. Q0 produce una interrupción (via +Interrupt 1), la cual lee el dato entregado por el teclado. Una vez leído el dato de 8 bits, la línea PB7 se va a 1, lo que produce el reseteo del 74LS322, via UH13, ingresando en el pin 9 (CLEAR).

La llave 9 de UF24 nos permite deshabilitar esta interrupción, con lo que no se puede leer el teclado y se habilita al canal 0 de comunicaciones para trabajar con una terminal serial la que hará de monitor del sistema. El BIOS actual no tiene habilitada esta función por lo que esta llave deberá estar siempre CERRADA.

El circuito de timer está compuesto por un 8253-5 UF13.

Este chip contiene 3 contadores (timers 0..2). Cada uno de ellos es programable y puede contar hasta 65536 pulsos de clock.

El modo de trabajo puede ser condicionado por una línea llamada gate (cada uno de los contadores posee una). Esta línea podrá determinar cuando debe funcionar o no el timer, o puede trabajar como disparador de un monoestable digital por flanco.

En la MS AXIS la unica gate usada es la del canal 2.

En la MS AXIS, la frecuencia de entrada de los timers es Pollock/2, o sea $14.31818 \text{ Mhz} / 3 / 2 / 2 = 1.193181 \text{ Mhz}$. Esta división se obtiene con el flip-flop "D" UE06.

Las funciones de cada timer son:

Timer0: Divide por 65536, y su salida esta conectada a la linea de interrupción 0 del 8259. En un segundo produce aproximadamente 18.2 interrupciones, lo que permite calcular la hora del dia contando el total de las mismas que han ocurrido. Esto se logra con una resolución minima de 1.05 micro segundos.

Timer1: Divide por 18, y su salida esta conectada a un flip-flop (UJ24), que pide un requerimiento de DMA al canal 0, lo que produce un ciclo de refresco de memoria dinámica. Cuando el 8237 satisface el requerimiento, el UJ24 se apaga hasta que se repita el ciclo anterior. Esto ocurre cada aproximadamente 15 micro segundos.

Timer2: Es usado para exitar el circuito del parlante. Según la forma de onda y la frecuencia que se programe, será el sonido obtenido.

El transistor 2N2222 Q002 se usa para exitar a un parlante de 2 1/4", pudiendo lograrse hasta 0.5 Watt de potencia.

Como vimos en lineas anteriores, el parlante puede ser exitado por dos vias: timer 2 o PB1 del 8255.

Por último, el ~~circuito generador de NMI (interrupción no enmascarable)~~, actua cuando alguna condición de error se presenta. Esto puede provenir de un error de paridad en la memoria RAM (interna con -PTY CHECK y externa con -I/O CHECK) o por una decisión del coprocesador aritmético 8087 (APNMI).

El flip-flop "D" UG07, actua como mascara para la NMI, asi:

Grabando 80H en la direccion 0A0H se habilita la NMI.

Grabando 00H en la direccion 0A0H se deshabilita la NMI.

La linea -PTY CHK indica que se ha producido un error de paridad en la memoria de la placa base. Si la NMI no esta enmascarada, generará una interrupción no enmascarable. La linea -I/O CHECK es similar pero indica un error en memoria de una placa expansora de RAM. Esta linea generará una NMI como en el caso anterior, si además la linea PB5 del 8255 está en 1. La linea +I/O CHECK también sirve para diferenciar quien provocó la NMI.

Todos los componentes de este bloque, se comunican a los bus del sistema a través de los buffers UK11 (74LS245) para el bus de datos (BD0 a BD7), UE01 (74LS244) para las 8 address menos significativas (BA0 a BA8) , el UH26 (74LS245) para el bus de control (-BMEMW, -BMEMR, -BI/OW y -BI/OR), -y el UG9 (74LS244) para BA8, BA9, +BCLK, -BDACK0 y +BAEN (ver plano 06).

Los decodificadores de dirección de I/O trabajan con las líneas de dirección +B ADDRESS 0..9.

El UF03 (74LS138) decodifica de la siguiente forma:

- DMACS: Entre direcciones 0000H y 001FH (pin 15)
- INTCS: Entre direcciones 0020H y 003FH (pin 14)
- TIMERCS: Entre direcciones 0040H y 005FH (pin 13)
- PIOCS: Entre direcciones 0060H y 007FH (pin 12)
- PAGECS: Entre direcciones 0080H y 009FH (pin 11)
- NMICS: Entre direcciones 00A0H y 00BFH (pin 10)

La figura 4 muestra un mapa de I/O completo.

La figura 5 muestra un teclado compatible con la MS AXIS, y junto a el una tabla con los " SCAN LINE ".

RANGO HEX	9 8	7 6 5 4	3	2	1	0	DISPOSITIVO
00-0F	0 0	0 0 0 Z	A3	A2	A1	A0	DMA 8237-2
20-21	0 0	0 0 1 Z	Z	Z	Z	A0	INT.8259A
40-43	0 0	0 1 0 Z	Z	Z	A1	A0	TIMER 8253-5
60-63	0 0	0 1 1 Z	Z	Z	A1	A0	PPI 8255A-5
80-83	0 0	1 0 0 Z	Z	Z	A1	A0	DMA REG.DE PAG.
AX	0 0	1 0 1					NMI REG.DE MASC.
CX	0 0	1 1 0					RESERVADO
EX	0 0	1 1 1					RESERVADO
3F8-3FF	1 1	1 1 1 1	1	A2	A1	A0	TF RS-232-C C.
3F0-3F7	1 1	1 1 1 1	0	A2	A1	A0	ADAP.FLP 5 1/4"
2F8-2FF	1 0	1 1 1 1	1	A2	A1	A0	RESERVADO
378-37F	1 1	0 1 1 1	1	Z	A1	A0	PORT.PARALELO
3D0-3DF	1 1	1 1 0 1	A3	A2	A1	A0	ADAP. COLOR/GRAF.
278-27F	1 0	0 1 1 1	1	Z	A1	A0	RESERVADO
200-20F	1 0	0 0 0 0	A3	A2	A1	A0	ADAP. DE JUEGO
3B0-3BF	1 1	1 0 1 1	A3	A2	A1	AC	ADAP. IMPRESORA MONOCROMATICA

Z= NO IMPORTA

FIGURA 4

Key Position	Scan Code in Hex	Key Position	Scan Code in Hex
1	01	43	2B
2	02	44	2C
3	03	45	2D
4	04	46	2E
5	05	47	2F
6	06	48	30
7	07	49	31
8	08	50	32
9	09	51	33
10	0A	52	34
11	0B	53	35
12	0C	54	36
13	0D	55	37
14	0E	56	38
15	0F	57	39
16	10	58	3A
17	11	59	3B
18	12	60	3C
19	13	61	3D
20	14	62	3E
21	15	63	3F
22	16	64	40
23	17	65	41
24	18	66	42
25	19	67	43
26	1A	68	44
27	1B	69	45
28	1C	70	46
29	1D	71	47
30	1E	72	48
31	1F	73	49
32	20	74	4A
33	21	75	4B
34	22	76	4C
35	23	77	4D
36	24	78	4E
37	25	79	4F
38	26	80	50
39	27	81	51
40	28	82	52
41	29	83	53
42	2A		

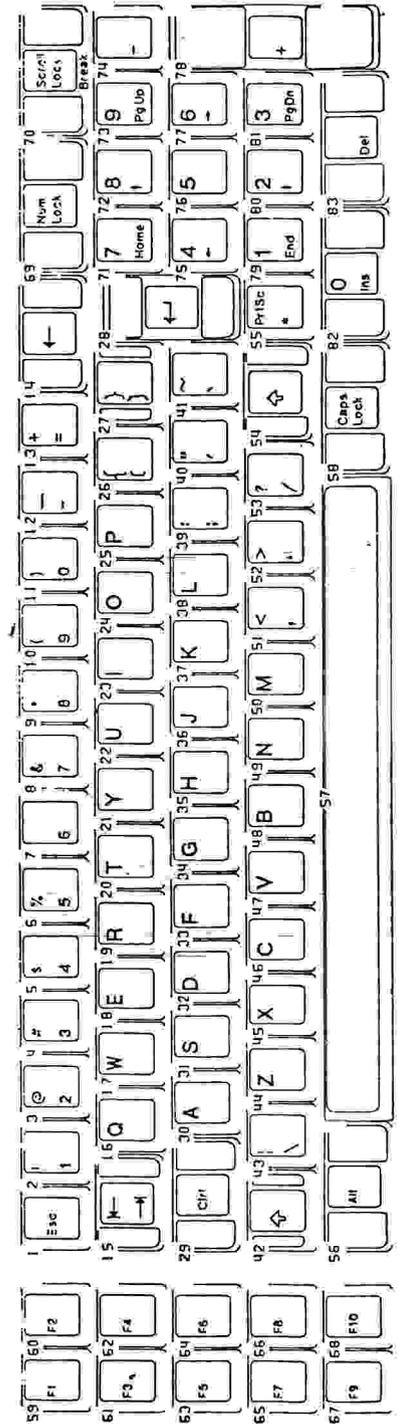


FIGURA 5

1.7 - Periféricos II

Este bloque esta formado por tres periféricos:

- Interface de impresora
- Interface de RS232 C
- Interface de diskette

Como se observa en el diagrama en bloques, a estas tres interfaces le llegan todas las señales en paralelo con los slot de expansión, excepto los ocho bits de datos que lo hacen a través del buffer UG19 (74LS245) como se ve en el plano 06.

La habilitación de este buffer, se obtiene cuando se selecciona algunos de las interfaces componentes del bloque (UB05). Estas señales de selección se obtienen de la ROM UF03 (82129) (plano 06) y de UG01 74LS30 (plano 11).

La dirección de UG19 se la da I/O R.

Las líneas de datos, dentro de este bloque se denominan CDO a CD7.

La figura 4 muestra un mapa de I/O completo.

1.7.1 - Interface de impresora

Referirse al plano 10.

Esta interface está realizada íntegramente con circuitos TTL. Provee a la MS AXIS de todo el hardware necesario para comunicarse con una impresora con interface paralela.

Se compone básicamente de dos ports de salida y 3 de entrada, de acuerdo al siguiente cuadro:

DIRECCION (HEXA)	TIPO DE PORT	BITS USADOS	CIRCUITO INTEG.
378	SALIDA	0..7	UF1 (74LS374)
37A	SALIDA	0..4	UG1 (74LS174)
378	ENTRADA	0..7	UE1 (74LS244)
379	ENTRADA	1	UF5 (74LS125)
379	ENTRADA	4..7	UC3 (74LS240)
37A	ENTRADA	0..3	UC3 (74LS240)
37A	ENTRADA	1	UF5 (74LS125)

La dirección 378, se usa para enviar datos a la impresora. Leyendo en la misma, se puede verificar que no haya ninguna línea en cortocircuito. (El dato de 8 bits leído debe ser igual al grabado).

Similar a la anterior, la dirección 37A permite fijar las líneas -STROBE, -AUTO FDXT, -INIT, -SELECT, y la habilitación de la interrupción 7, verificándolas a través de la mitad de UC3 y una compuerta de UF5, mediante un input a 37A.

Con un input a 379, se obtiene la información de +SLCT, +PE, -ACK, +BUSY, y -ERROR.

La habilitación de todos estos chips se obtienen de UD05 (74LS155) y de la siguiente manera:

- El pin 7 direcciona 378H output.
- El pin 5 direcciona 37AH output.
- El pin 9 direcciona 378H input.
- El pin 11 direcciona 37AH input.
- El pin 10 direcciona 379H input.

1.7.2 - Interfaces RS232 C

Referirse al plano 09.

Este circuito provee a la MS AXIS de dos ports seriales asincrónicos. Los dos circuitos integrados mas importantes, son UE03 y UE08 (8250), que realizan las funciones de comunicaciones, previa programación de los mismos por parte de la CPU.

Los niveles de señal en las lineas de comunicaciones son -12 Volt. para el estado "MARK", y +12 Volt. para el estado "SPACE". La conversión entre estos niveles y los niveles TTL son realizadas por los 75154 (UC06, UB09 y UC10) y la conversión de TTL a dichos niveles por los 1488 (UH7 y UG05).

Las frecuencias de trabajo en comunicaciones, se generan en el oscilador integrado UF05, que provee una frecuencia de 18.432 Mhz por el pin 8. Esta frecuencia es dividida por 10 por el 74LS90 UD01, conectado para obtener una onda cuadrada a la salida. Esta frecuencia (1.8432 Mhz) ingresa a los 8250, donde es dividida por un divisor programable por software desde la CPU.

Los 8250 emiten un requerimiento de interrupción cada vez que necesitan atención de la CPU. Esta interrupción puede ser deshabilitada mediante la salida programable "OUT2" (pin 31) de cada 8250.

Mediante los jumpers JP0 y JP1 se puede seleccionar la interrupción a usar: INTERR 3 o INTRR 4. Esto se debe a que algunas placas especiales usan una u otra interrupción.

Una configuración posible de la MS AXIS prevee el uso de una terminal como Monitor y teclado principal, cuando esto sucede, la señal +SER MON (Serial Monitor) es puesto a "1" con lo que la INTERR 1 es habilitada para manejar dicho monitor mediante el canal 0 de comunicaciones. Esta misma señal inhibe el circuito de teclado.

Cada 8250 maneja las entradas de RLSD o CD (Carrier Detect), DSR (Data Set Ready), CTS (Clear To Send), RI (RING indicator), SIN (Serial input) o RxD (Receiver Data) , y las salidas DTR (Data Terminal Ready), RTS (Request To Send), y SOUT (Serial output) o TxD (Transmitter Data).

Ambos canales de comunicaciones salen por el conector de 50 pines J11.

1.7.3 - Interface de Diskette

Referirse al plano 11.

1.7.3.1 - Generalidades

Esta interface, permite manejar hasta cuatro drives de diskettes de 5 1/4". Las configuraciones posibles se describen a continuación:

- Soft Sector
- Doble densidad (MFM)
- Simple o doble lado
- 40 track por lado
- 8 o 9 sectores por track
- 512 bytes por sector
- Capacidad 327.680 bytes para doble lado
- Tiempo de acceso entre track y track 8 ms.
- Tiempo de arranque de motor 500 ms.

La interface esta diseñada para trabajar en doble densidad en formato MFM (Modified Frequency Modulation), usando precompensación en las grabaciones y un PLL (digital) para la separación de los datos y del clock en las lecturas.

La interface esta manejada por un INTEL 8272 (o su similar uPD765 de NEC), controlador programable de diskette.

Todas las transferencias de datos son manejadas via DMA, usando para ello el canal 2 (DRQ2 y DACK2). Cuando una transferencia ha sido completada, se genera una interrupción via INTRR 6 para avisar a la CPU de este hecho.

Al igual que los otros miembros del bloque, esta interface se conecta al bus de datos via CDO-7 y al de address con BADO-9.

La salida de la interface se efectua mediante el conector de 34 pines J14 en el cual todas las señales presentes son OPEN COLLECTOR.

1.7.3.2 - Funcionamiento:

Esta interface se puede dividir para su estudio en cinco bloques. Estos son:

- FDC Floppy Disk Controller
- Interface
- DOR Digital Output Register
- READ Lectura de diskette
- WRITE Grabación a diskette

1.7.3.2.1 - Floppy Disk Controller

El FDC (8272), tiene dos registros, los cuales pueden ser accedidos por el procesador en cualquier momento. Estos son:

Main Status Register (MSR)
Main Data Register (MDR)

Los 8 bits del MSR contienen información acerca del estado en que se encuentra el FDC y solo pueden ser leídos por el procesador.

Los datos, comandos y demás parámetros son ingresados o leídos a través del MDR. Este registro es de 8 bit y puede ser leído y grabado por el procesador.

Para acceder a algunos de estos registros se debe tener en cuenta el siguiente cuadro:

A0	-RD	-WR	FUNCION
0	0	1	Lee MSR
1	0	1	Lee MDR
1	1	0	Graba MDR

Las otras posibilidades de A0 , -RD y -WR son ilegales.

Cada operación con diskette, consta de tres fases:

- Fase de comando → 15 comandos (SIN DMA)
- Fase de ejecución → (CON DMA)
- Fase de resultados

Durante la primer fase, el procesador, graba en el FDC el comando, que este debe ejecutar. El FDC reconoce hasta 15 comandos diferentes y cada uno puede constar de más de un byte.

En la fase de ejecución, el FDC ejecuta la operación de diskette, solicitada en la fase anterior. Para ello, genera un ciclo de DMA por cada byte a transmitir. Para ello activa la línea de DRQ2 (con "1") y realiza la transferencia a memoria cuando DACK2 se pone en "0". Esta señal, resetea a DRQ2.

Cuando el último byte es transmitido, el controlador de DMA (8237), pone un "0" en su línea EOP, llegando al FDC un "1" en su entrada T/C (pin 16). Cuando esto sucede, se activa la línea de INT, generando un ciclo de interrupción (a través de INTERR 6) para avisar al procesador que la fase de ejecución a terminado y que comienza la de resultados.

Cuando el procesador lee el primer byte de resultados, la línea de INT se resetea.

Las señales usadas para manejar a los drives, salen de la placa por medio del conector J14. Este es de 34 pines de tipo peine.

El pin out de este conector es el siguiente:

S e ñ a l	PIN	I/O
NC	2	-
NC	4	-
-DS3	6	O
-INDEX	8	I
-DS0	10	O
-DS1	12	O
-DS2	14	O
GND	16	-
-DIRECCION	18	O
-STEP	20	O
-WR DATA	22	O
-WR EN	24	O
-TRACK 0	26	I
-WPROTECT	28	I
-RD DATA	30	I
-SIDE SELEC	32	I
NC	34	-

NC = No conectado

Todos los pines impares estan conectados a GND.

Todas las señales son tipo OPEN COLLECTOR.

El FDC tiene algunos de sus pines multiplexados con la señal -RW/Seek (Read Write Mode / Seek Mode).

Este es el caso de sus entradas:

FLT/TR0 (Fault / Track 0 - pin 33)
WP/TS (Write protect / Two Side - pin 34)

y de las salidas :

FR/STP (Fault Reset / Step - pin 37)
LCT/DIR (Low Current / Direction - pin 38)

El circuito UH2 (74LS240) sirve para multiplexar o demultiplexar estas líneas.

La señal de INDEX, es conectada al FDC, previa inversión en UL25 (74LS04).

Las señales de Side Select y WR EN (Write Enable), son generadas en los pines 27 y 25 del FDC y previa inversión en UF22 (74LS06 OPEN COLLECTOR), salen por J14.

1.7.3.2.2 - Interface

La interface de floppy disk se puede conectar al sistema por dos vias: I/O en direcciones que van de la 3F8 a la 3FF o por un reconocimiento a un pedido de DMA por el canal 2.

En las fases de comandos y resultados, se usa la primer forma, y en la fase de ejecución la segunda.

Para seleccionar la interface, via I/O, es condición necesaria que la salida del decodificador UG01 (74LS30) este en "0" y haya activa alguna de las señales de -IORD o -IOWD (en "0").

En cambio si ocurre un reconocimiento del canal 2 de DMA , (DACK 2 = "0"), y haya activa alguna de las señales de -IORD o -IOWD (en "0") la interface se selecciona a través de UK15 .

Existe un jumper JP17 (ver plano 06) que permite aislar a esta interface del resto de la placa. Esto se logra al cortar la línea -FPYSL y conectar -FPYCS a "1" (pull up).

La interface trabaja con un clock propio, generado por el oscilador a cristal UF26 de 16 MHz. Esta frecuencia es dividida por UJ26 (74LS393) y UG09 (74LS161) para obtener los siguientes clock:

Clock del FDC	4 MHz.
Clock del PLL	8 MHz.
Clock de grabación	256 KHz.
Clock de ret. DRQ	2 MHz.

El circuito UL13 (74LS175) retarda 4 ciclos de 2 MHz. (2 micro segundos) la salida de DRQ 2.

1.7.3.2.3 - Registro digital de salida

El DOR esta formado por el circuito UJ22 (74LS273). Los 8 bits de entrada se conectan al bus CD0-7 y en la salida se obtiene la siguiente información:

Bit 0 y 1 Driver Select

Bit	Driver
0 0	0 A
0 1	1 B
1 0	2 C
1 1	3 D

Bit 2 Reset FDC (habilitado por soft.).

Bit 3 "0" inhibe la INTERR 6 y el DRQ 2.

Bit 4,5,6 y 7 Control de motores.

Para acceder a este registro hay que ejecutar un OUT a la dirección 03F2H.

Los pines Q0 y Q1 de UJ22 se conectan a las entradas A y B del decodificador UI22 (74LS138), obteniendo en las salidas Y0-3 las señales de selección de cada drive. UH13 (74LS04), invierte estas señales condicionadas en UF09 (74LS38) por las respectivas líneas de control de motor (pines Q4-7 del UJ22).

El pin Q2 se conecta al pin 1 (-RESET) del UJ19 a través de la compuerta inversora UL25 (74LS04).

El pin Q3 de UJ22 habilita (con "1") los buffers UL11 (INTRR 6 y DRQ 2). También sirve para generar la señal de FPYSL junto con DACK 2.

1.7.3.2.4 - Lectura de diskette

La lectura de diskette se realiza a través del pin 30 de J14 -RD DATA.

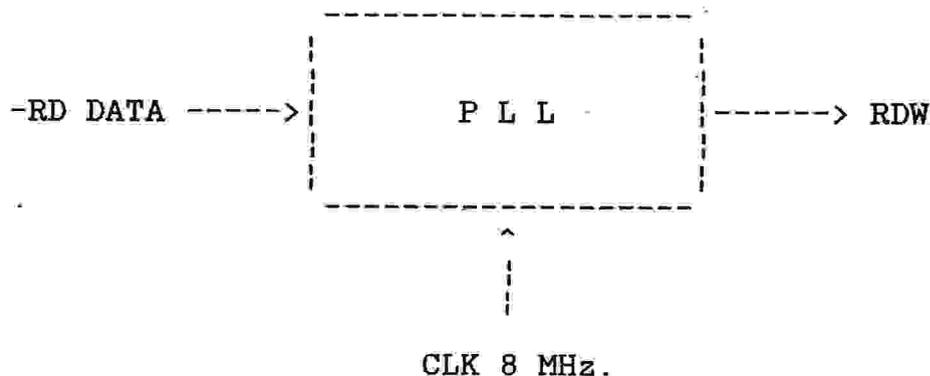
Esta señal está compuesta por bits de datos y de clock intercalados. La separación la hace el FDC y depende fundamentalmente del modo que se haya grabado FM, MFM, etc. En nuestro caso se usa el MFM.

La señal de -RD DATA es invertida por UL25 (pines 3 y 4) y se conecta al pin 3 del UF16 (74LS174), componente de un PLL digital.

El FDC necesita de una segunda señal para muestrear el dato leído. Esta se denomina RDW (Read Data Window) y se conecta al pin 22 del FDC UJ19.

Para obtener esta señal es necesario disponer de un PLL (Lazo enganchado en fase).

La interface dispone de un PLL digital formado por los circuitos UF16 (74LS174), UF11 (ROM 74S288) y UF20 (74LS74). Estos tres componentes deben ser vistos como un bloque sincrono al que le ingresa una señal -RD DATA, un clock de 8 MHz. y se obtiene a la salida la señal deseada: RDW.



1.7.3.2.5 - Grabación de diskette

La señal de -WR DATA presente en el pin 22 de J14 consta al igual que -RD DATA de dos partes: datos y clock.

La formación de esta, esta a cargo del FDC y para ello es necesario ingresar a este un clock para grabación (WCK) por el pin 21 del mismo.

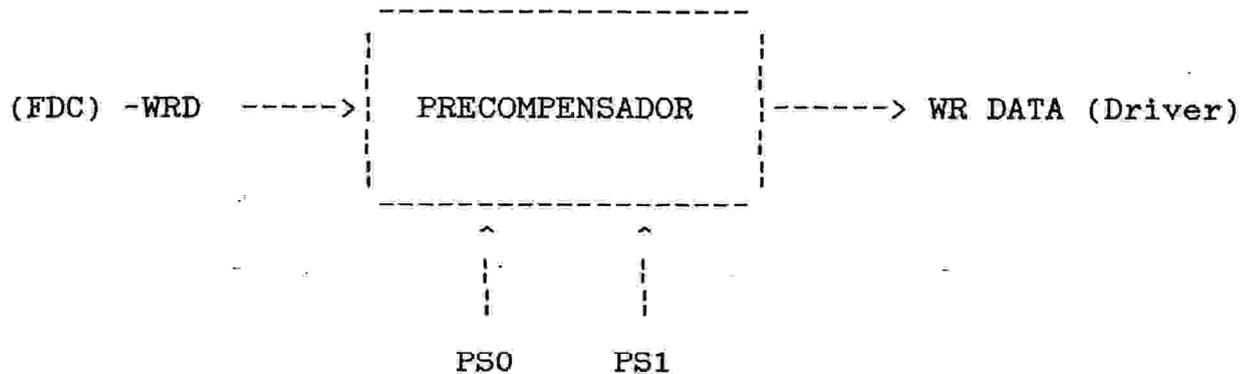
La frecuencia para MFM mode debe ser de 4MHz.

La señal de WDA (Write Data) sale por el pin 30 del FDC e ingresa al circuito UK24 (74LS175) para ser precompensada.

El circuito de precompensación esta formado por los circuitos UI26 (74LS153) y UK24, que funciona segun las señales PS1 y PS0 del FDC (pines 31 y 32 respectivamente).

Básicamente la precompensación consta de una variación en la frecuencia de la señal de WR DATA segun la track que se este grabando (a mayor densidad = track más altas, menor frecuencia).

El diagrama en bloques ilustra a este circuito:



PS0	PS1	PREC
0	0	Normal
0	1	Late
1	0	Early
1	1	ilegal

1.8 - Slots de expansión

A partir de este bloque, se puede expandir el equipo. Como se ve en el plano 5, la placa tiene 5 conectores de 62 pines, en cualquiera de los cuales se puede conectar alguna placa IBM PC compatible.

Los 62 pines se numeran desde A1 a A31 y B1 a B31 lado izquierdo y derecho respectivamente como lo muestra la vista de componentes.

Las señales disponibles son las siguientes:

- I/O CHECK	A1	B1	GND
+ D7	A2	B2	+ RESET I/O
+ D6	A3	B3	+ 5 Volt.
+ D5	A4	B4	+ INTERR 2
+ D4	A5	B5	- 5 Volt.
+ D3	A6	B6	+ DRQ 2
+ D2	A7	B7	- 12 Volt.
+ D1	A8	B8	- HRQ I/O CH
+ D0	A9	B9	+ 12 Volt.
+ I/O CH RDY	A10	B10	GND
+ BAEN	A11	B11	- MEMW
+ A19	A12	B12	- MEMR
+ A18	A13	B13	- I/O W
+ A17	A14	B14	- I/O R
+ A16	A15	B15	- DACK 3
+ A15	A16	B16	+ DRQ 3
+ A14	A17	B17	- DACK 1
+ A13	A18	B18	+ DRQ 1
+ A12	A19	B19	- BDACK 0
+ A11	A20	B20	+ BCLK
+ A10	A21	B21	+ INTERR 7
+ A9	A22	B22	+ INTERR 6
+ A8	A23	B23	+ INTERR 5
+ A7	A24	B24	+ INTERR 4
+ A6	A25	B25	+ INTERR 3
+ A5	A26	B26	- DACK 2
+ A4	A27	B27	+ T/C
+ A3	A28	B28	+ ALE
+ A2	A29	B29	+ 5 Volt.
+ A1	A30	B30	+ OSC
+ A0	A31	B31	GND

Las tensiones de + 5, +12 y -12 Volt son generadas fuera de la placa por una fuente switching; los - 5 Volt se obtienen en la placa base a partir de los - 12 Volt con el circuito integrado UI74 (7905). Esta tensión puede ser desactivada mediante el jumper JP28.