

## CAPITULO 2 : Placa de video

### 2.0 - Señal de video compuesta

(Fig. 1)

La señal de video se obtiene del emisor de Q1 que trabaja en la configuración de seguidor de emisor para presentar una baja impedancia ,similar a la impedancia característica del cable de video.

En la base de dicho transistor tenemos un circuito sumador conformado por cuatro resistencias alimentadas por las respectivas salidas del C.I.K5 .Dichas salidas estan comandadas por las señales que se indican en el dibujo .El estado "1" de estas líneas trata de elevar el nivel de salida de la señal (aumenta la intensidad del brillo en la pantalla). El estado "0" trata de cortar el transistor , bajando el nivel de la salida (baja la intensidadde brillo en la pantalla).

### 2.1 - Sincronismo compuesto COMP SYNC.

(Fig 2)

Esta señal genera los pulsos de sincronismo horizontal y vertical ,manteniendo el sincronismo horizontal durante el retroceso vertical.

### 2.2 - CRT VSYNC .CRT HSYNC .BURST GATE

(Fig.3)

La señal CRT HSYNC genera el sincronismo horizontal, y se obtiene a partir de la señal CHAR CLKH que es generada a partir del clock de 14 MHz .El sincronismo con la actividad del CRTC 6845 se obtiene mediante la señal HSYNC DLY que se obtiene de este.

El C.I. C1 trabaja como divisor por dos y el C.I. B1 como registro de desplazamiento . El ancho del pulso se obtiene por la posición lógica relativa entre QB y QF .

La señal CRT VSYNC genera el sincronismo vertical ,y se obtiene a partir de la señal CRT HSYNC que actua sobre el C.I. B4 que trabaja como registro de desplazamiento .El sincronismo con la actividad del 6845 se obtiene mediante la señal VSYNC DLY generada por este .El ancho del pulso se obtiene por la posición lógica relativa de las salidas 3Q y 4Q de B4 .

La señal BURST GATE es generada por HSYNC DLY y retrazada por los circuitos B1 y A1 . Esta señal permite insertar el BURST de sincronismo en el pulso de sincronismo horizontal , en la señal de video compuesta .

### 2.3 - COMP VIDEO

(Fig. 4)

Este circuito genera la señal de color mediante la modulación de fase de la portadora de 3.58 MHz . También genera el BURST de sincronismo .

Durante el retroceso horizontal la señal GATE está en "1" , y las señales R, G y B en "0" , lo que hace que en el multiplexor K2 se seleccione la entrada lógica D6 que corresponde a la señal de referencia (Burst de sincronismo) .

Durante el trazo del haz , la señal GATE está en "0" , y por lo tanto la salida del mux esta seleccionada por las señales R, G y B.

Cuando estas señales estan en "0" , la salida del mux es "0" e indica el nivel de negro . Cuando estas señales estan en "1" la salida es "1" e indica el nivel de blanco .

Cuando las señales R , G y B tienen estados diferentes, representan una señal de color y seleccionan en el mux la fase apropiada .

Las distintas fases se obtienen del registro de desplazamiento formado por los biestables tipo D .

Cuando el BIOS selecciona el modo blanco y negro , la señal BW/COLOR esta en "0" , poniendo en "1" las salidas de los biestables , y de esta manera cualquier señal de color genera un nivel de blanco .

### 2.4 - Las señales R , G , B , I

(Fig. 5)

Se generan en los circuitos D1 y D2 que son mux de 4 canales de 2 bits .

Las señales -MUXA y -MUXB seleccionan los canales , y STR habilita o no los mux.

-MUXA ="0" selecciona los canales de BACKGROUND.

-MUXA ="1" selecciona los canales de FOREGROUND.

-MUXB="0" selecciona los canales de GRAFICO.

-MUXB="1" selecciona los canales de ALFANUMERICO.

STR ="0" habilita los mux.

STR ="1" pone todas las salidas en "0".

## 2.6 - -MUXA , -MUXB , STR

(Fig.6)

-MUXA esta habilitado por -DISPEN DLY , de tal manera que durante el trazado de los bordes de la pantalla (zona que no lleva información )adquiere el nivel "0" (background) ;lo mismo sucede con -MUXB (grafico) .

Por lo tanto la zona de los bordes esta definida por el contenido de OSCANR , OSCANG , OSCANB , OSCANI ;que tambien definen el background del modo gráfico .

De esta manera se logran 16 colores para los bordes si la señal BW/COLOR esta setada en "0" .

En modo gráfico -MUXA es la función lógica OR de C0 y C1 .Si C0 y C1 estan ambos en "0",-MUXA estará en "0" ,seleccionando BACKGROUND . En caso contrario -MUXA estará en "1" , seleccionando FOREGROUND .

En modo gráfico GRAPH MODE esta en "1" y por lo tanto -MUXB estará en "0" .También lo estará en el trazado de los bordes (-DISPEN DLY2="1").  $\rightarrow$  MUXA = MUXB = 0  $\rightarrow$  MODO GRAFICO BACKGROUND (OSCANI's) (BORDES DEL MODO ALFANUMERICO)

En el modo alfanumérico los pines 5 y 6 de A5 estarán en "0" durante el trazado del display y -MUXB estará en "1".

STR estará en "0" durante el trazado normal del display ,habilitando las salidas de R , G , B e I .

STR estará en "1" durante los retrocesos horizontales y verticales , inhibiendo dichas salidas .

En el modo gráfico de alta resolución, las señales GRAPHMODE y 640x200 estan en "1" y por lo tanto -MUXA y -MUXB estan en "0" (GRAPH , BACKGROUND).

En este estado el pin 12 de A2 (STR) dependerá de los niveles de HIGH RES DOT DEL2 y de -DISPEN DLY2 .

Durante el trazado normal del display STR adquiere los niveles de C1 y C0 invertidos , en forma alternada por cada semiciclo de la señal de DOTCLK ,segun se observa en la figura 8.

Por lo tanto si C0 (ò C1) es igual a "0" ,STR toma el nivel "1", condicionando G , R , B e I a "0" (ver figura 5) ,condicionando el nivel de COMP VIDEO en "0" y la pantalla aparecerá apagada en ese punto .

Si C0 (ò C1) es igual a "1" ,STR estará en "0" ,y como -MUXA y -MUXB estan en "0" ;R , G , B e I tomarán los niveles respectivos de OSCANR , OSCANG , OSCANB y OSCANI .Sin embargo si -BW/COLOR estuviese en "0" se seleccionaria un "1" en la salida de COMP VIDEO ,generando un nivel de blanco .

## 2.6 - SEL BLUE

(Fig.7)

Esta señal selecciona la paleta en modo gráfico .En este modo SEL BLUE toma el nivel de PALETTE que es programada por el BIOS.

## 2.7 - HIGH RES DOT

(Fig.8)

La señal DOT CLK conmuta la salida HIGH RES DOT entre los niveles definidos por C1 y C0 .Realizando dos conmutaciones por cada ciclo del DOT CLK .

## 2.8 - ATT DEL2 0-7

(Fig.9)

D4 carga los atributos (byte impar ATTO-7) al tiempo de -CHARLOAD y de esta manera se sincroniza con la salida de información desplzada por D6 que proviene del generador de caracteres (EPROM 2732) que es direccionada por el byte par (CC0-7), (ver Fig. 12) .

## 2.9 - Registros de modo , de color y de status

(Fig. 10)

E2 es el registro donde se carga el byte que define la información de color del BACKGROUND en el modo grafico o de los bordes en el modo alfanumérico .El pin 12 de E2 selecciona la paleta en el modo grafico y el pin 10 ,la intensidad en dicho modo .

En E3 se setean los distintos modos de trabajo de la placa .

K4 es un pòrtico de lectura que permite conocer el estado del trazo del display entre otras cosas .

## 2.10 - -COLOR SEL , -MODE SEL , -CS 6845 , -STATUS SEL

(Fig. 12)

H4 genera el -CS del 6845 para las direcciones 3D4H y 3D5H.

G7 genera el strobe para el pòrtico de COLOR en la direcciòn 3D9H ,y el correspondiente para el pòrtico de MODO en la direcciòn 3D8H .Tambièn G7 genera por el pin 13 el -CS del pòrtico de lectura .

La seña l AEN inhibe los direccionamientos generados por el contralador de DMA .

## 2.11 - C1 DEL2 , C0 DE2 , ALPHA DOT DEL2

(Fig. 12)

Este circuito genera las seña les que contienen informaciòn para la salida de video ,a partir de los datos grabados en la memoria de video .

### 2.11.1 - Modo alfanumérico

En este modo, E6 captura los bytes impares leídos de la memoria de video (por el 6845) con el flanco ascendente de CHARCLK (ver figura 13) .

Los bytes pares son cargados en E7 con el flanco ascendente de -CHAR LOAD . Este byte direcciona la EPROM 2732 , que es el generador de caracteres . En el siguiente pulso de -CHAR LOAD , los bytes impares (atributos) son desplazados a D4 (ver Fig.9), y la salida de la 2732 es desplazada a D6 para luego ser convertida en salida serie en el registro de desplazamiento D6 , generando la seña l RAW VIDEO al ritmo de DOT CLK.

La seña l RAW VIDEO es condicionada luego por las respectivas de intensidad , blink y cursor , para generar por último la seña l ALPHA DOT .

### 2.11.2 - Modo gráfico

E6 y E7 son cargados como en el modo alfanumérico , y en el siguiente pulso de -CHAR LOAD , D7 se carga con los bits impares de ambos bytes (C1) y D5 se carga con los bits pares de ambos bytes (C0) . Ambos registros son desplazados por DOT CLK , generando las salidas C0 y C1 .

F2 permite sincronizar con el clock de 14 MHz generando las salidas C0 DEL2 , C1 DEL2 y ALPHA DOT DEL2 .

## 2.12 - Circuito de timing

(Fig.13)

Este circuito genera las señales que se usarán para sincronizar la actividad de la CPU con el 6845 , como así también el sincronismo de ambos con las señales de RAS y CAS , que definen la actividad de la memoria . El clock que se usa para esta sincronización es de 14 MHz .

G1 es un contador condicionado por la señal de HIGH RES MODE , que genera las salidas -CHAR CLKL , -CHAR CLKH , 3,58 MHz y 7 MHz. En la figura 14 se indica el diagrama de tiempos para el modo de baja resolución (HIGH RES MODE =0) y en la figura 15 para el modo de alta resolución (HIGH RES MODE ="1").

H1 es un multiplexor de 4 canales de 2 bits que genera las siguientes señales (ver figuras 14 y 15):

DOT CLK (7 MHz en baja y 14 MHz en alta ).  
CHAR CLK (-CHAR CLKL en baja y - CHAR CLKH en alta ) .  
CPUSTB' (CHAR CLKH en baja y 3,58 MHz en alta ).  
-CHAR LOAD (clock de 1/1,11 MHz en baja y 1/0,55 MHz en alta).

## 2.13 - Memoria de 16K x 4 Bytes (4416)

(Fig. 16)

En la figura se indica el esquema lógico de la memoria dinámica 4416 .

## 2.14 - Direccionamiento de la memoria de video por la CPU.

(Fig.17)

H5 y H6 son multiplexores de 4 canales de 2 bits , de tal manera que cuando CAS ADDR está en "1" , la memoria es direccionada por A0-A7 de la CPU ,cargando las líneas RA0 -RA7 de la memoria , y cuando CAS ADDR está en "0" entran las direcciones A8-A13 cargando las líneas RA1-RA6 .

-GMEM SEL habilita el acceso de la CPU en forma sincronizada con el circuito de tiempos de la placa .

## 2.15 - Direccionamiento de la memoria de video por el CRTC

(Fig.18)

F5 y G5 multiplexan las direcciones generadas por el CRTC , de tal manera que cuando RAS ADDR y -GMEM SEL estan en "1" se habilita F5 , cargando las lineas RA0-RA7 de la memoria , y cuando CAS ADDR y -GMEM SEL estan en "1" se habilita G5 cargando las lineas RA1-RA6 .

En baja resoluci3n hay cuatro ciclos de memoria durante el acceso del CRTC , y en alta resoluci3n hay dos ciclos (ver figura 20) .

Durante la primera mitad del tiempo de acceso , -CHAR CLK est1 en "0" y por lo tanto RA0 tambi3n lo estar1 . Durante la segunda mitad ambas se1ales est1n en "1" .

## 2.16 - Control de la memoria de video

(Fig.19)

El circuito de la figura 19 genera las se1ales de control a partir del clock de 14 MHz . Este circuito est1 sincronizado con la actividad del circuito por medio de la se1al -CHAR LOAD .

El esta configurado como registro de desplazamiento , cerrando el lazo a travez de H2 . Esta configuraci3n genera los tiempos que definen las secuencias .

F1 actua como retardo del flanco descendente de -RAS , y como retardo de -CAS (ver figura 20) .

-RWE es activada cuando la CPU accede para grabar la memoria (GMEM SEL="1" y -MEMR="1") y cuando -RAS="0" (ver figura 23) .

## 2.17 - Sincronismo para el acceso de la CPU

(Fig.21,22,23)

La CPU para acceder a la memoria de video activa en forma normal las lineas -MEMR o -MEMW , generando la se1al -MEMRQ' que crea una ventana donde se producir1 el acceso en forma sincronizada con el resto del circuito . Este se obtiene mediante la se1al -CPUSTB' , de tal manera que con el flanco ascendente de esta se1al se obtiene la activaci3n de -GMEM SEL quien permite el acceso de la CPU .

Para asegurar el sincronismo se activa la se1al de IORDY en el momento del pedido de acceso por parte de la CPU , y se libera esta se1al en el momento de desactivarse -GMEM SEL .

## 2.18 - Bus de datos

(Fig.24)

K6 es un buffer bidireccional habilitado por -DATA GATE que permite el acceso tanto a los pòrticos de entrada y salida como a la memoria de video . El sentido de circulaci3n est1 controlado por DIRGK .

E5 es un buffer de tres estados que esta habilitado por

-RDRAM , y como strobe se usa la se1al -GMEM SEL que permite capturar el dato leido de la memoria , y retenerlo hasta que sea leido por la CPU .

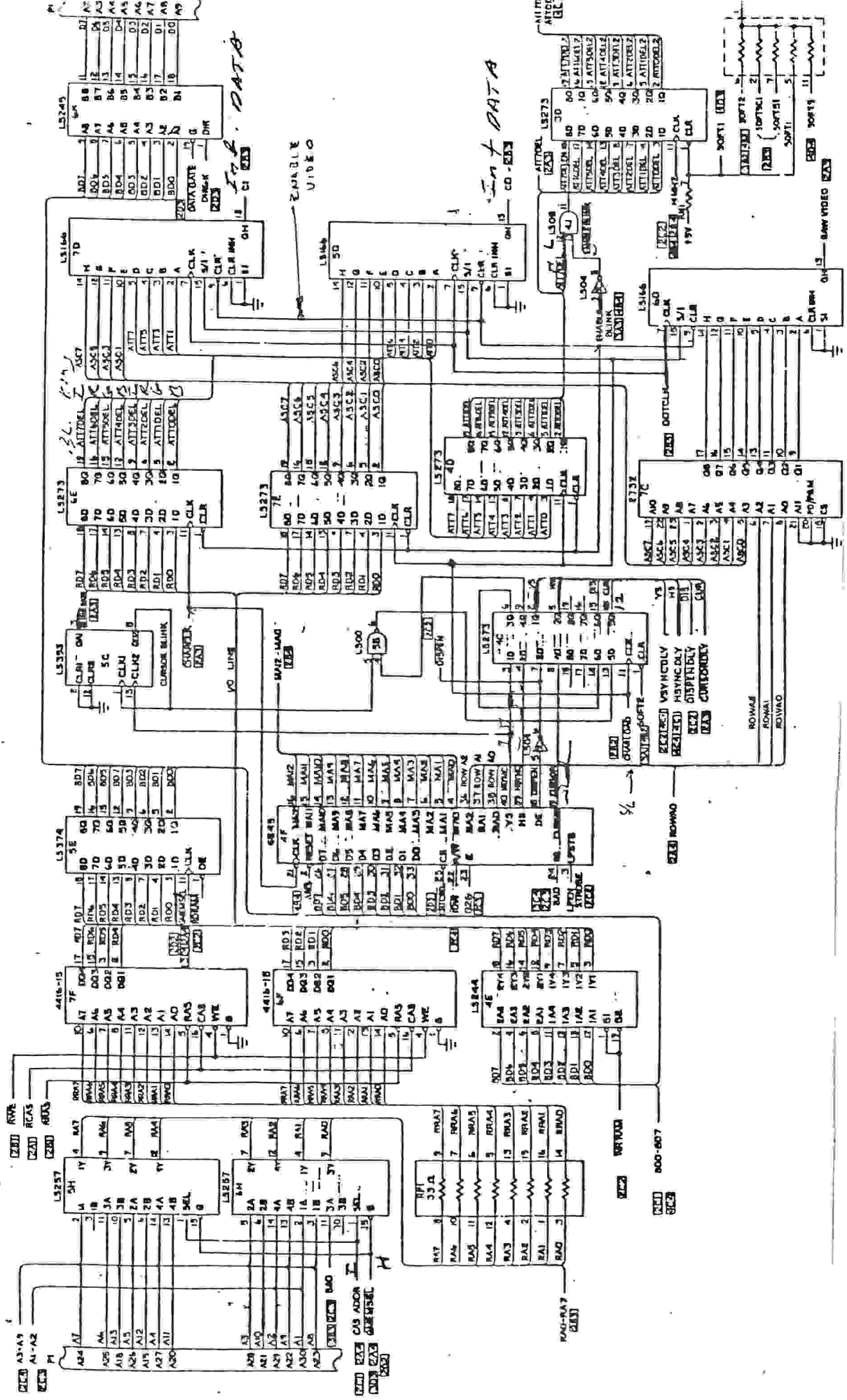
E4 es un buffer de tres estados que esta habilitado por -WRAM .

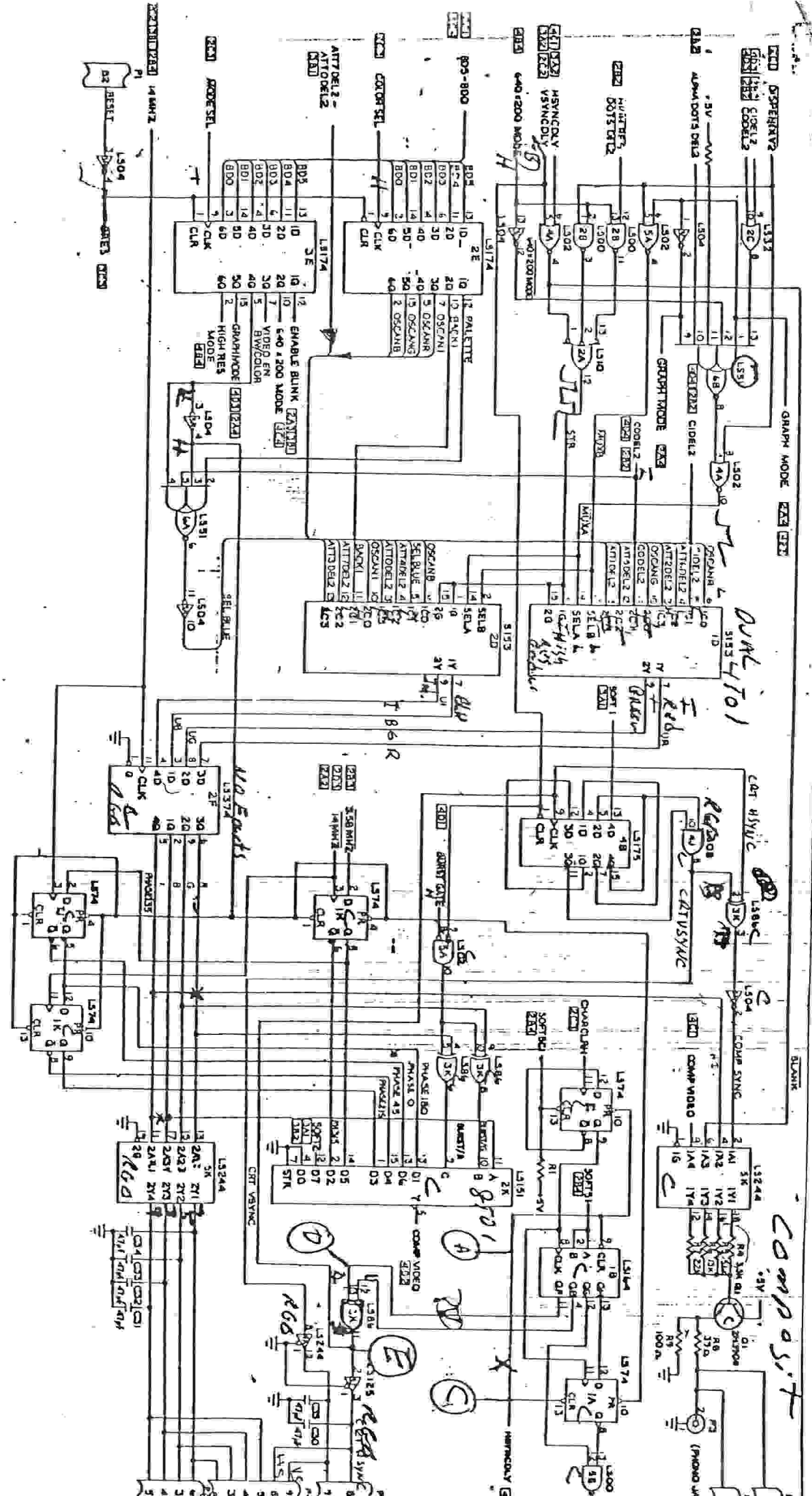
## 2.19 - Se1al DIRGK

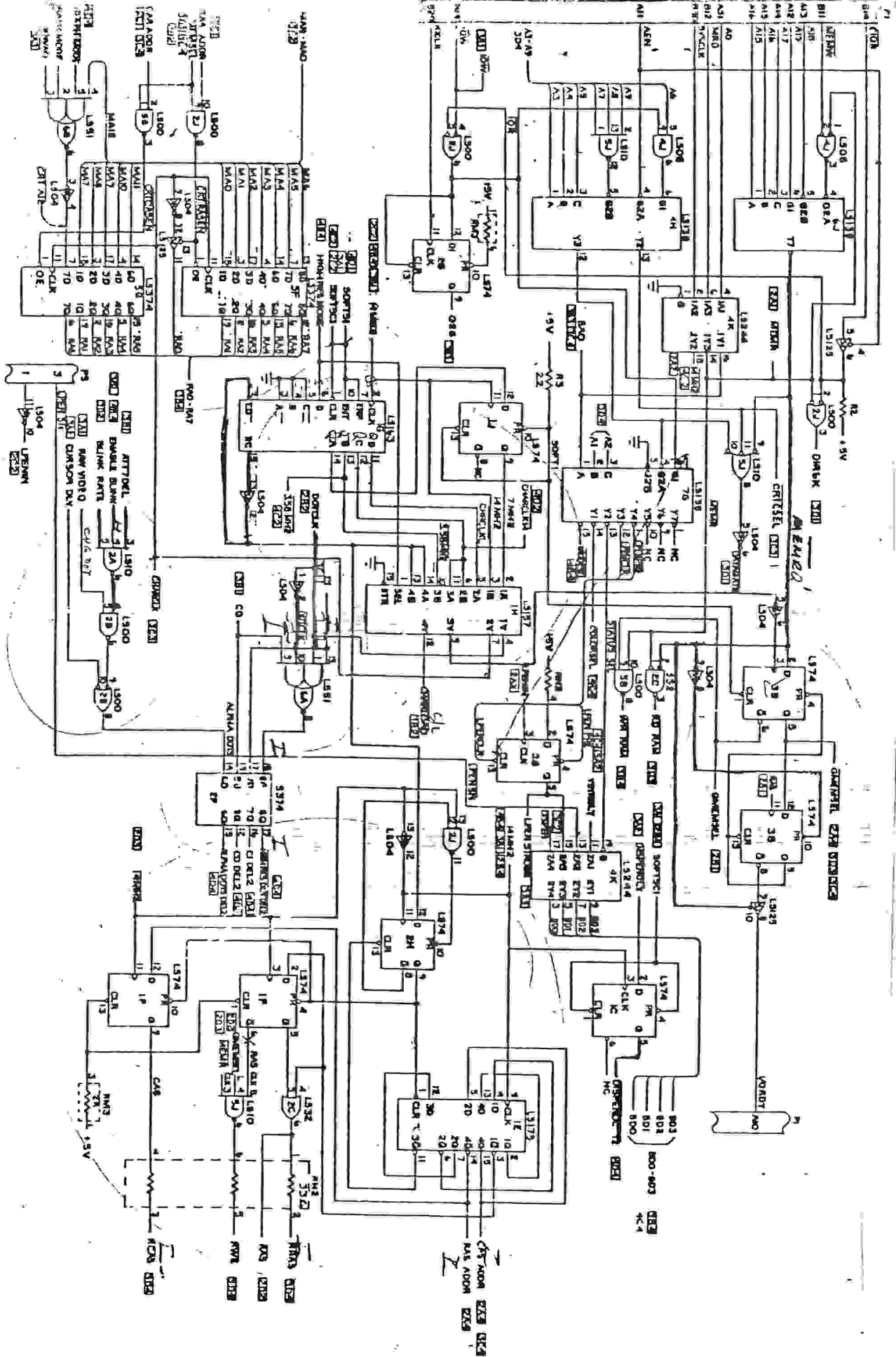
(Fig.25)

Est1 activada por -IOR o por -MEMR. AEN previene los direccionamientos durante la actividad del controlador de DMA .

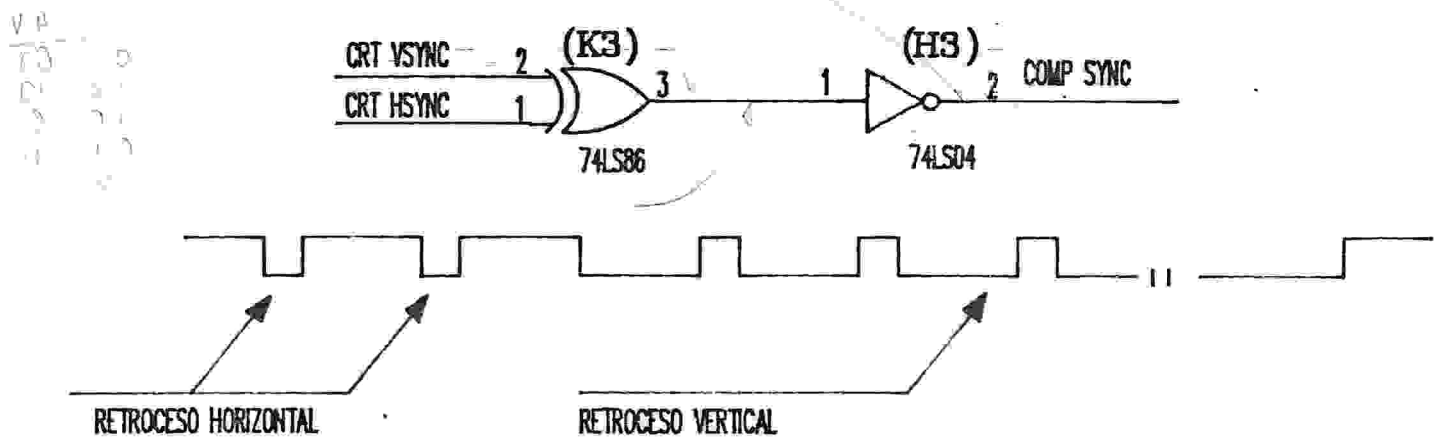
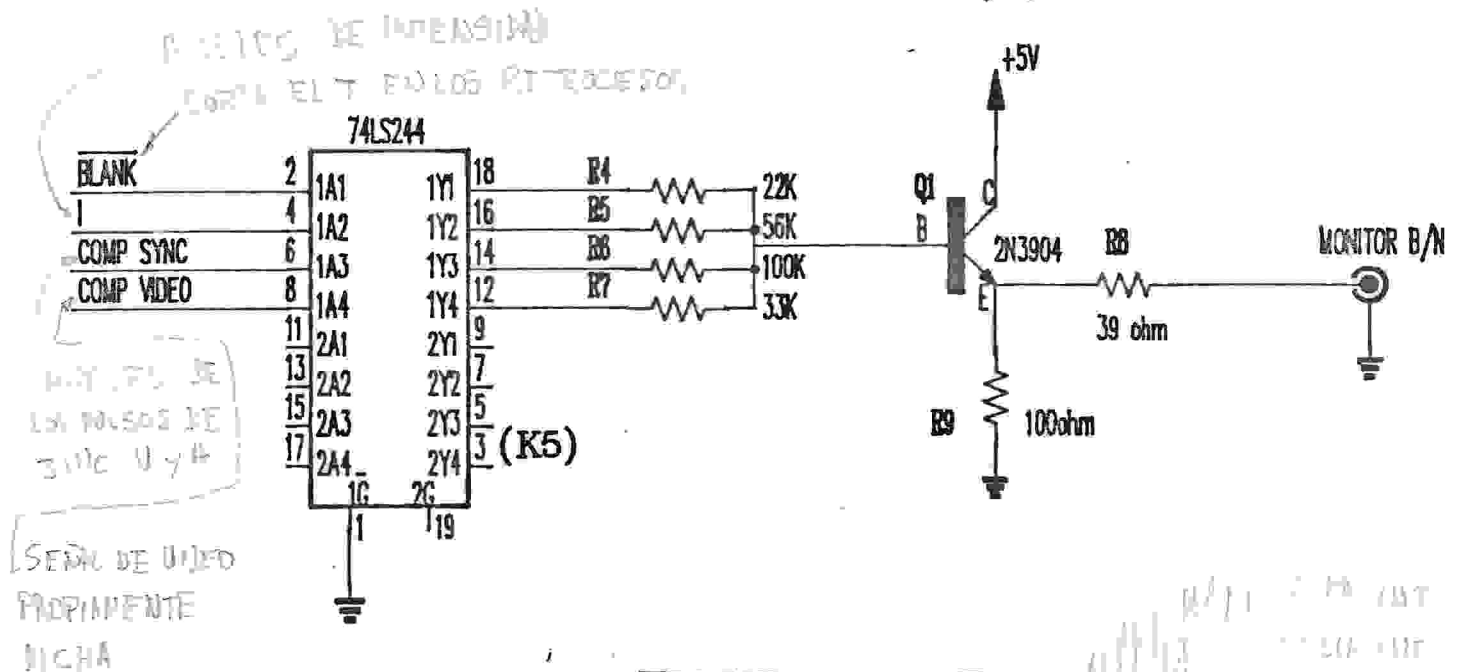




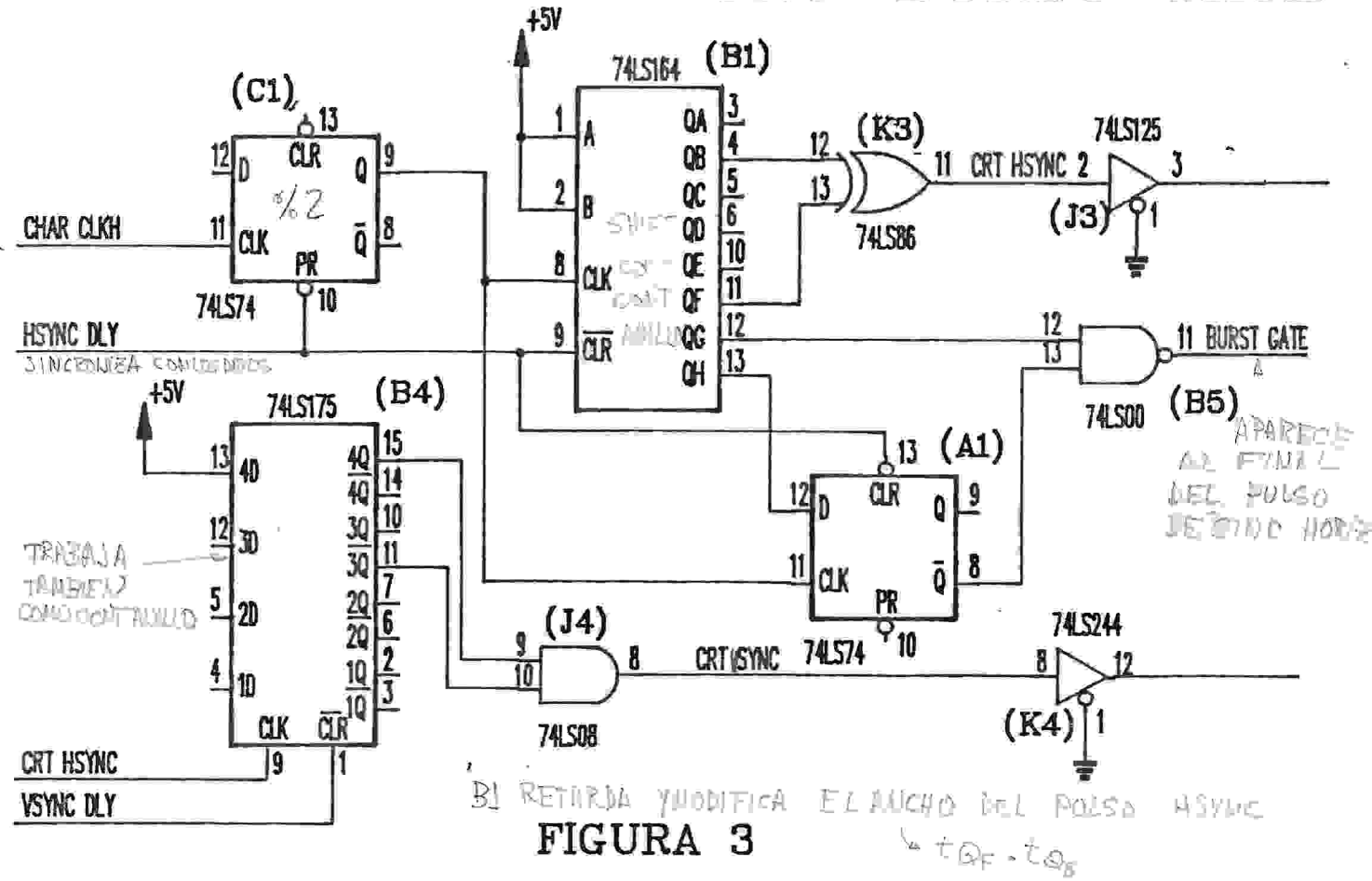




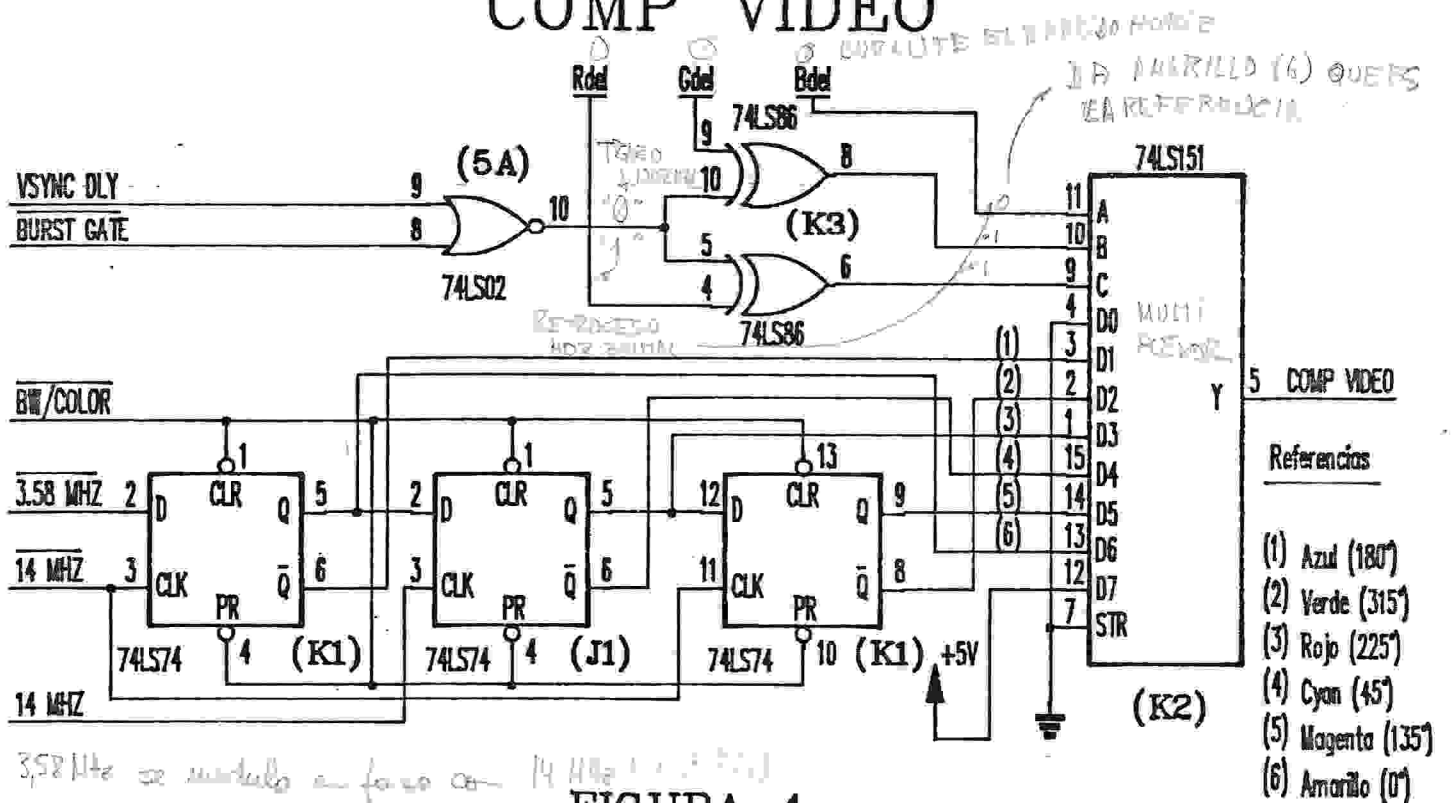
# SEÑAL DE VIDEO



# CRT VSYNC-CRT HSYNC-BURST GATE



# COMP VIDEO



# R-G-B-I

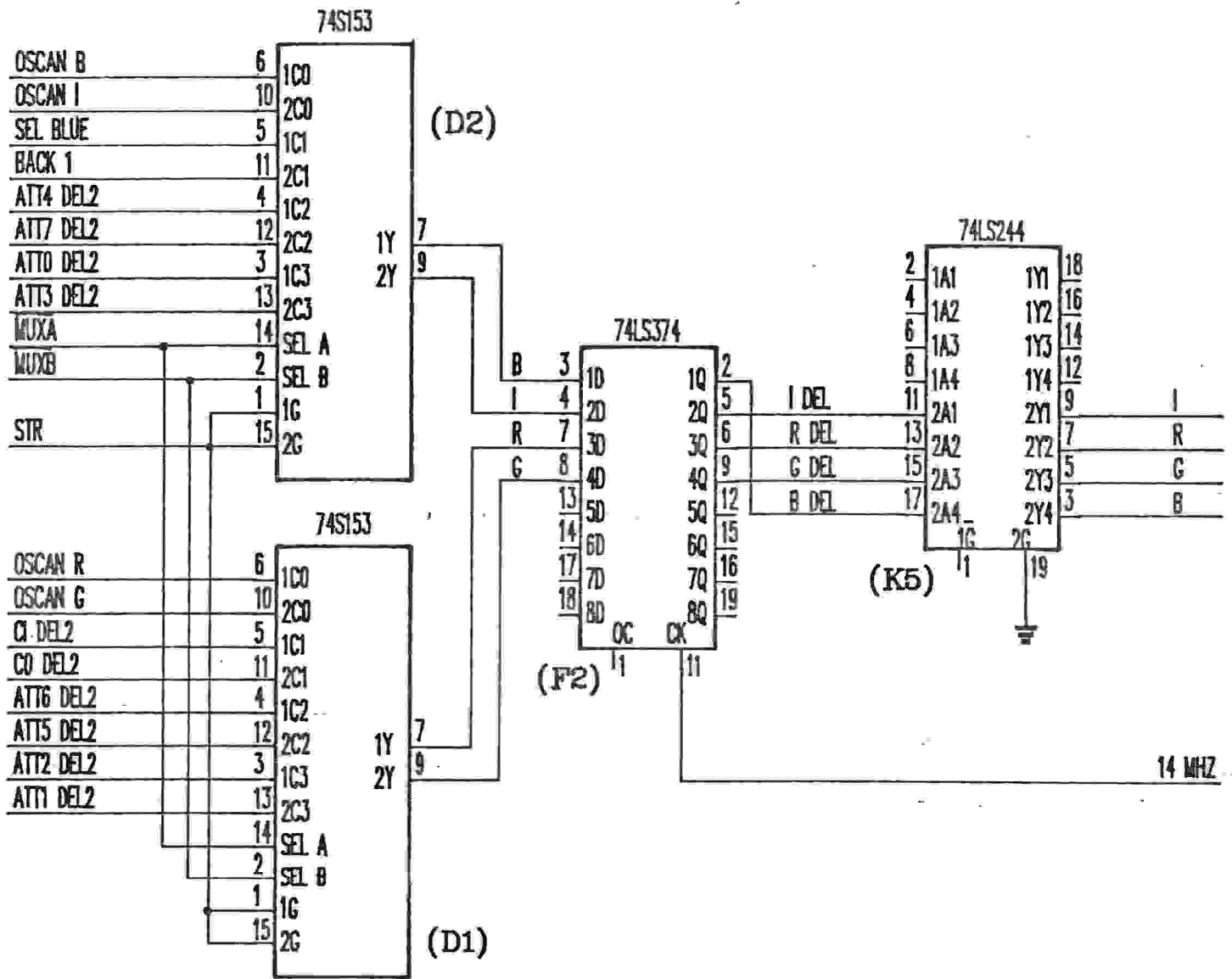


FIGURA 5

SEL A B  
 0 0 → C0  
 1 0 → C1  
 0 1 → C2  
 1 1 → C3

- ALFANUMERICO DATA ATRIBUTO  
 3 bits por Byte Local

- GRAFICO  
 Bytes mas → 2 bits (color)

0,0 → Background  
 0,1 → OSCAN'S  
 1,0 → depend color R,G

BIT 0123 AT DEL FORT GROUND  
 BIT 4567 " " BACKGROUND

GRAFICO Curso MS AXIS 58 -

MUXB=0 + MUXA=0  
 LAS OSCAN SE DIFERENCIAN POR VO  
 MUXB=0 + MUXA=1 → COYCI ← R,G → SEL BLUE → BACK1

# MUX A - MUX B - STR

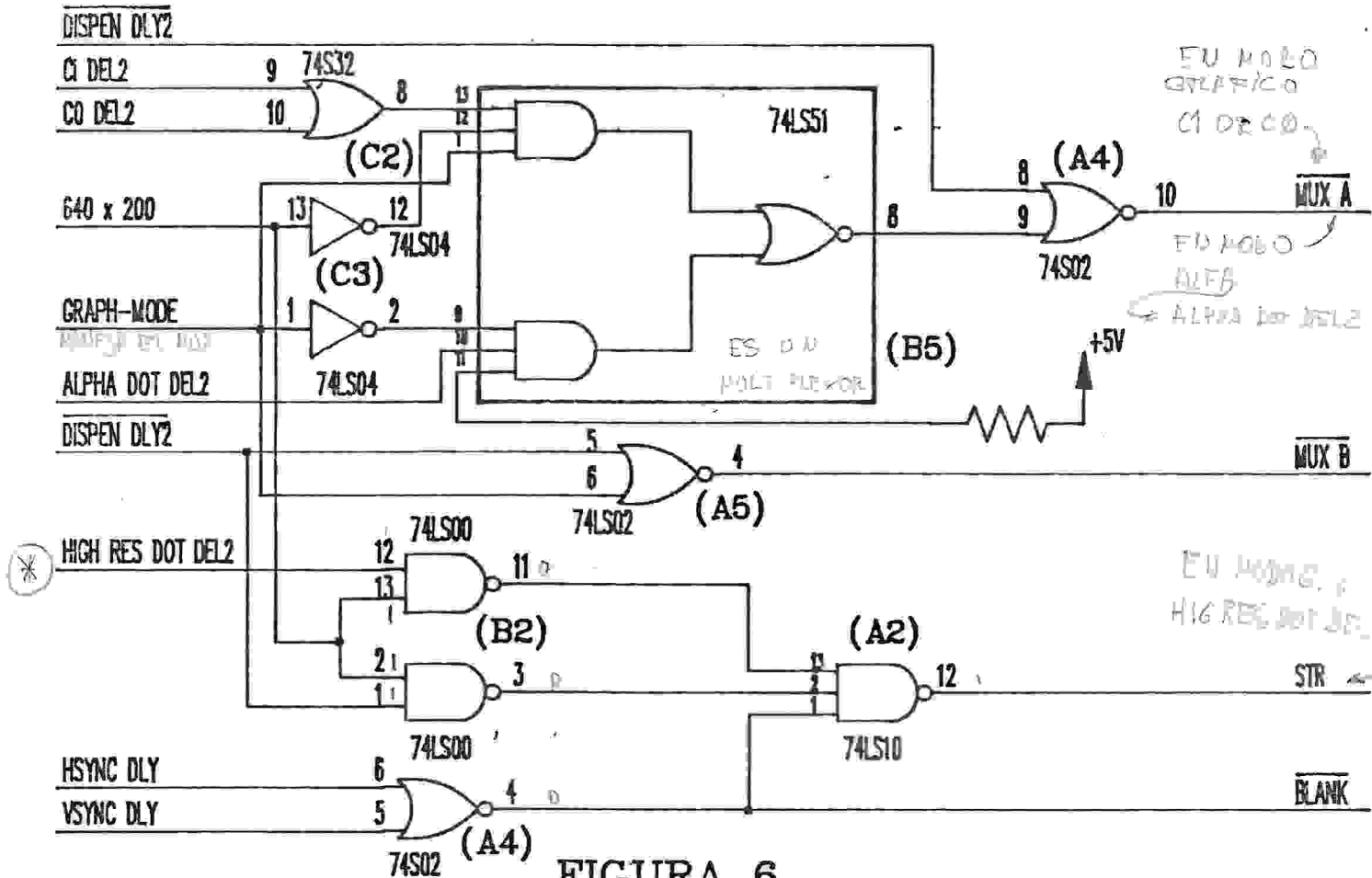


FIGURA 6

# SEL BLUE

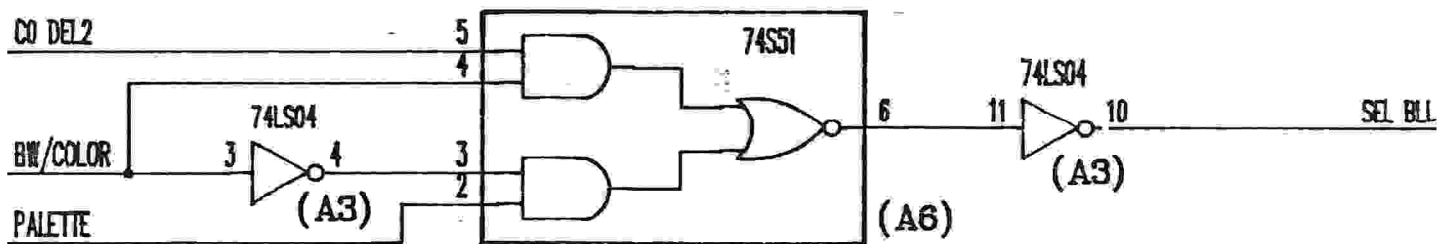


FIGURA 7

# HIGH RES DOT (HRD)

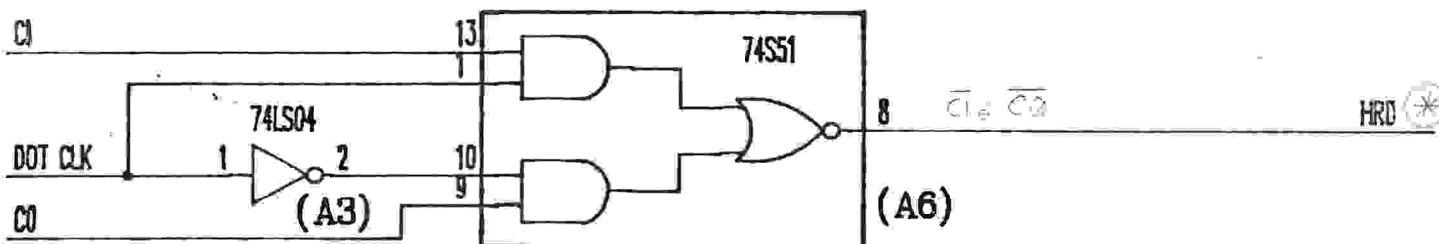


FIGURA 8

# ATT DEL2

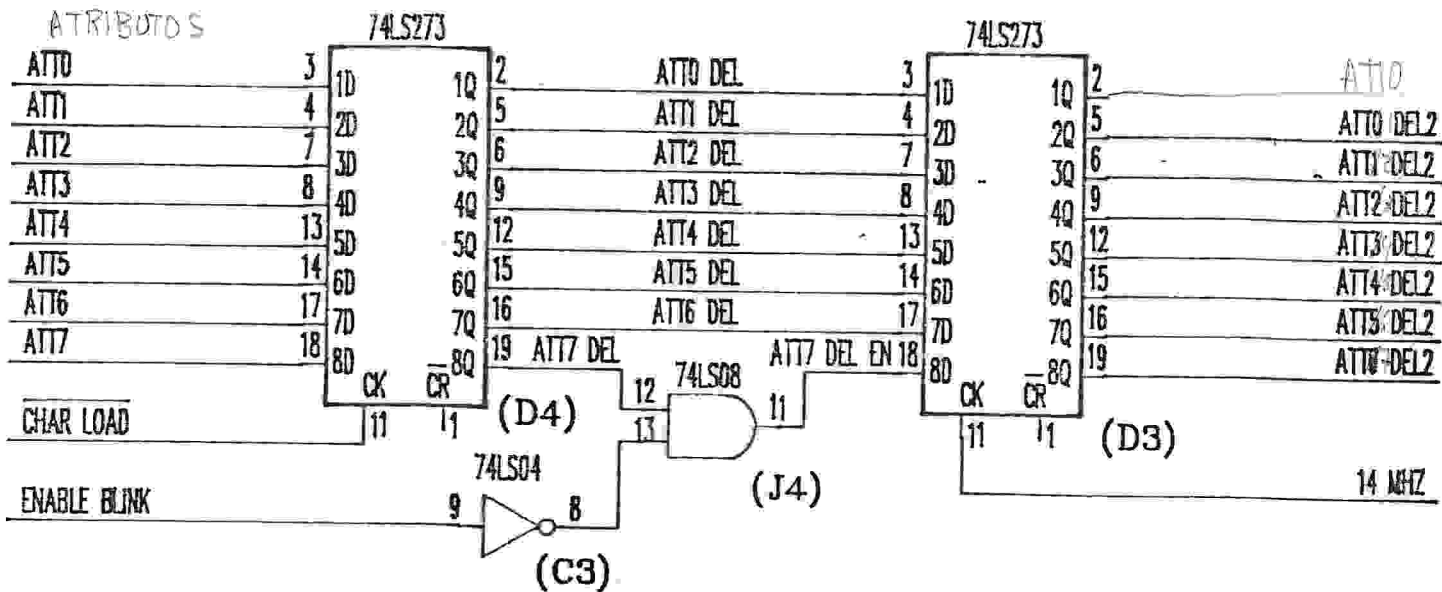


FIGURA 9

# REG MODO - COLOR - STATUS

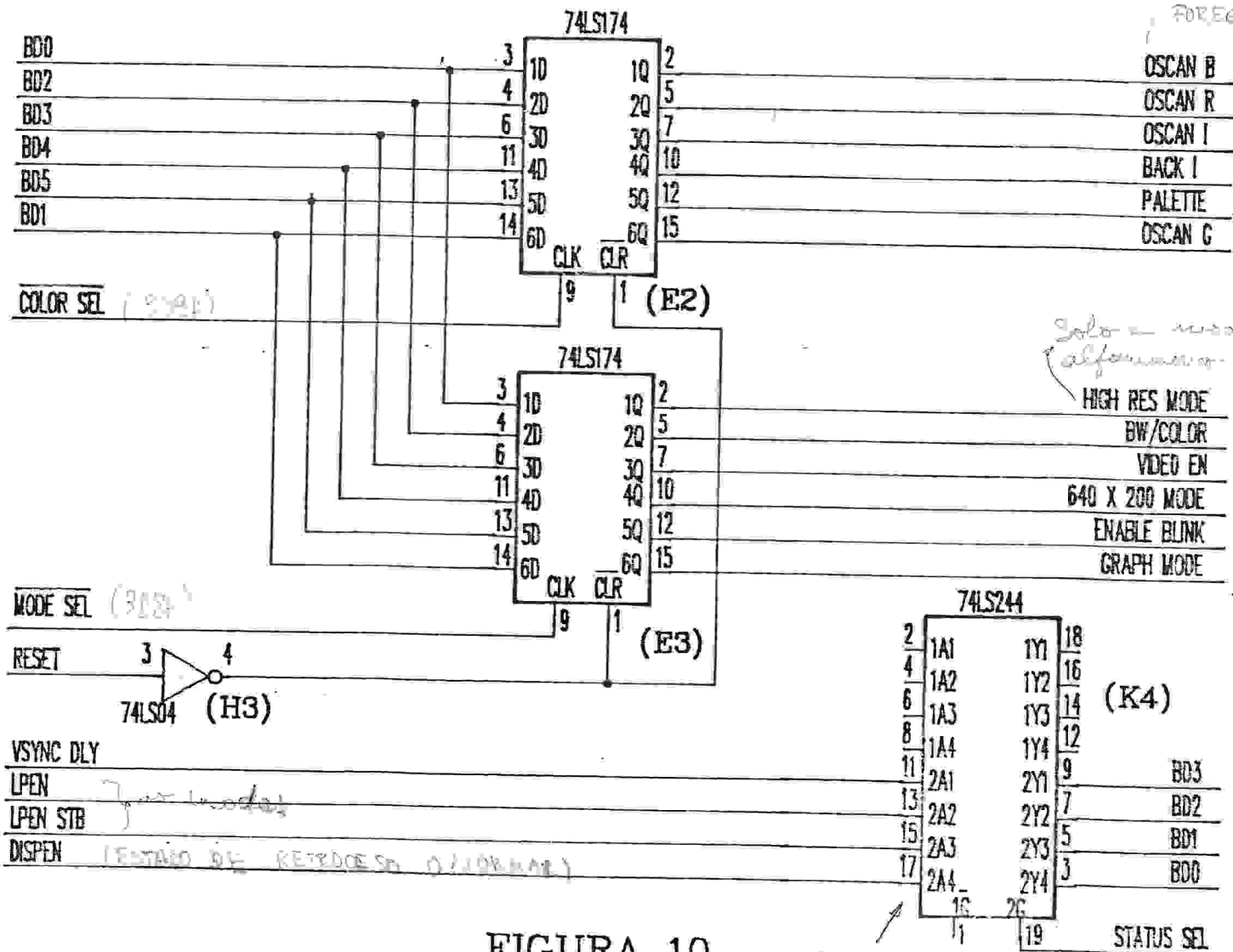


FIGURA 10



# COLOR SEL-MODE SEL- $\overline{CS}$ 6845-STATUS SEL

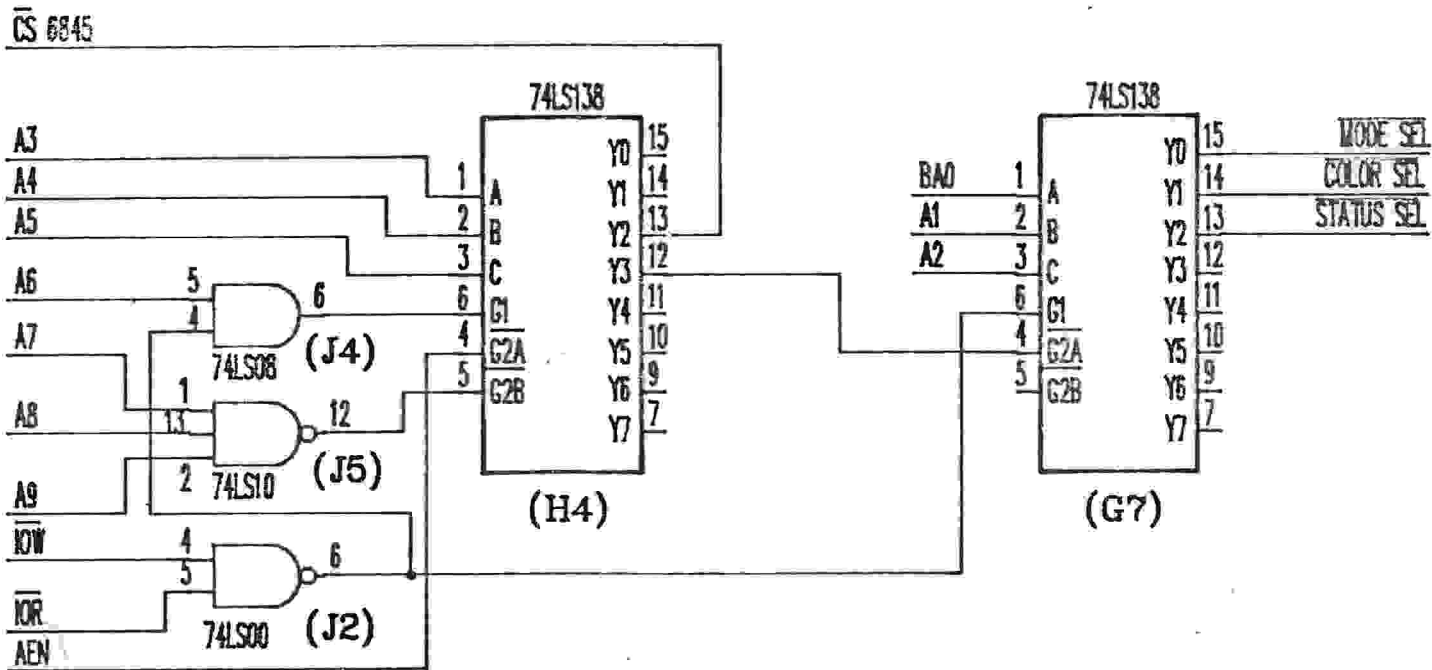


FIGURA 11

*AEN=1 → DMA (seleção de endereço de memória)*  
*AEN=0 → CPU*

# C1 DEL2-C0 DEL2-ALPHA DOT DEL2

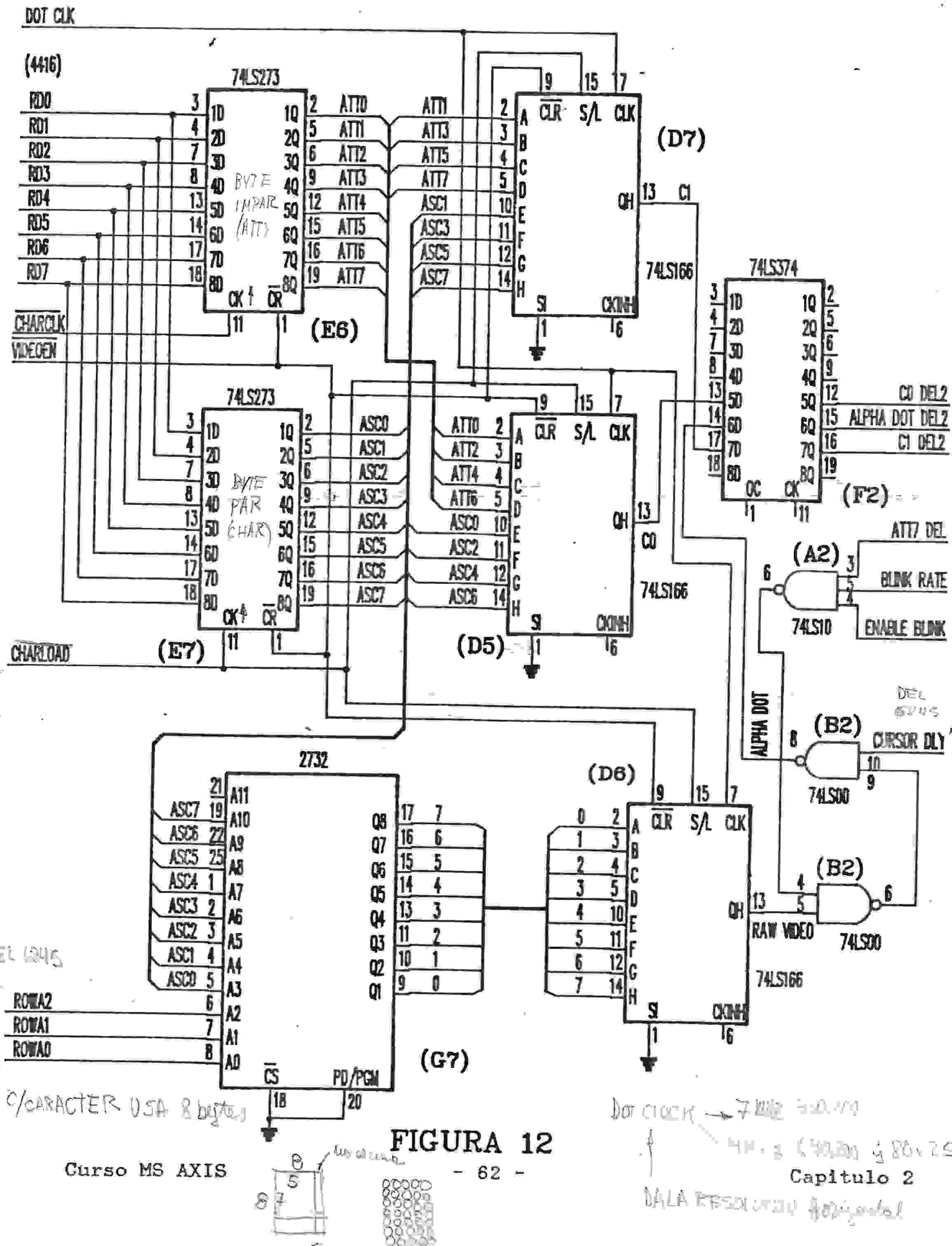


FIGURA 12

7MHZ-3,58 MHz-CHARCLKL-CHARCLKH-CHARCLK  
 -CHARLOAD-DOT CLK-CPU STB'

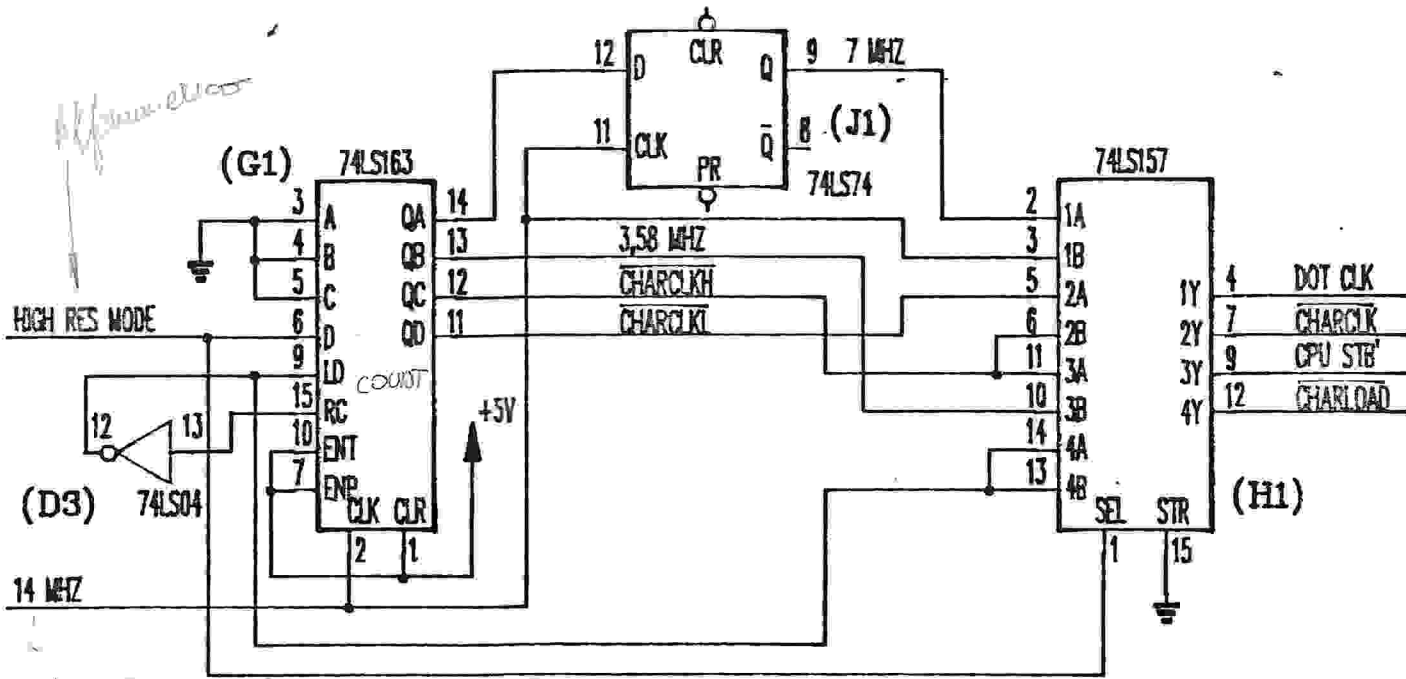


FIGURA 13

CONDICIONES: W=40 | W=80/40 | W=40/80  
 S=0 | S=1 | S=2

*NOVA A 80i = 1 NO*

HIGH RES  
 CHARCLKL  
 CHARCLKH  
 CHARLOAD

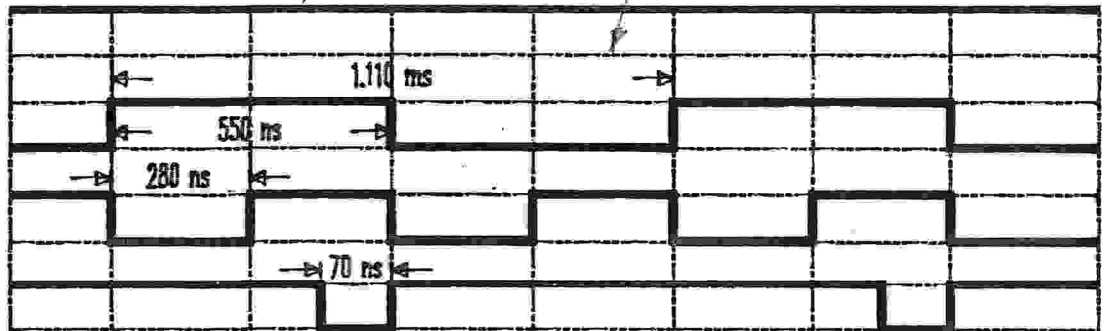


FIGURA 14

CONDICIONES: W=80  
 S=0

HIGH RES  
 CHARCLKL  
 CHARCLKH  
 CHARLOAD

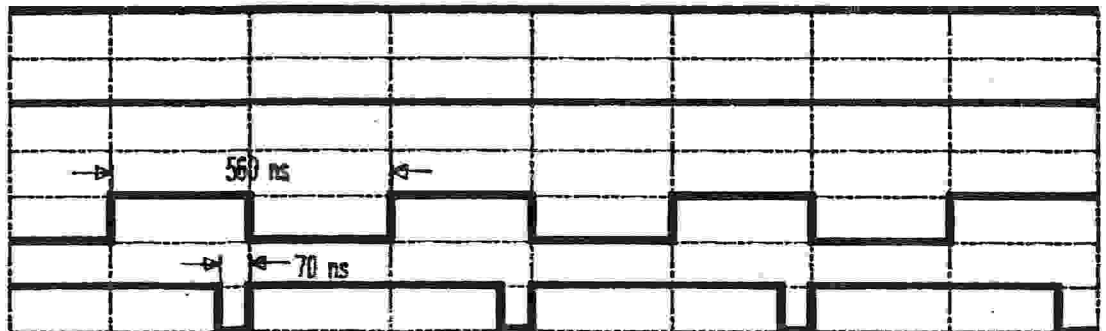


FIGURA 15

# RAM 4416

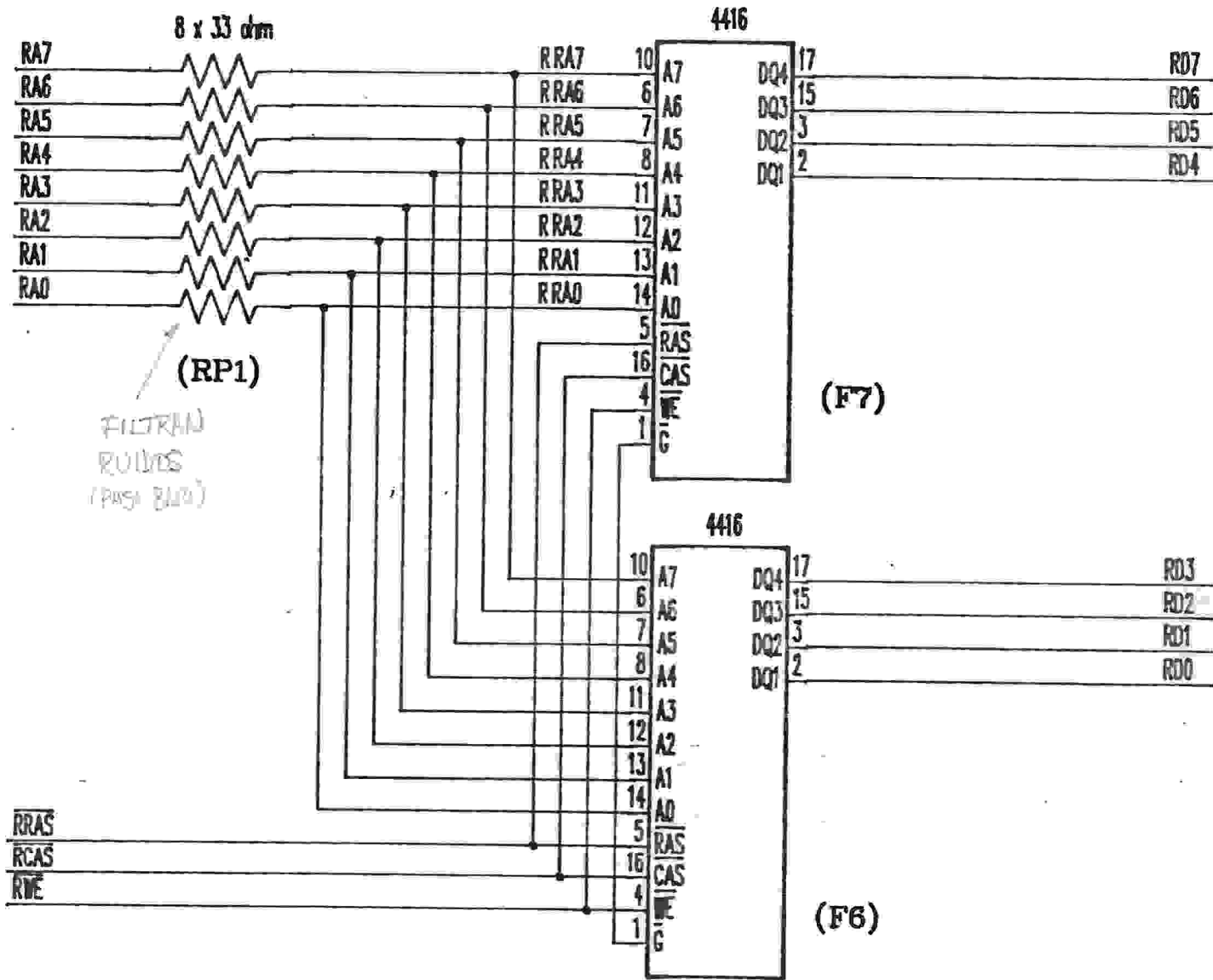


FIGURA 16

# RA0 - RA7 CPU

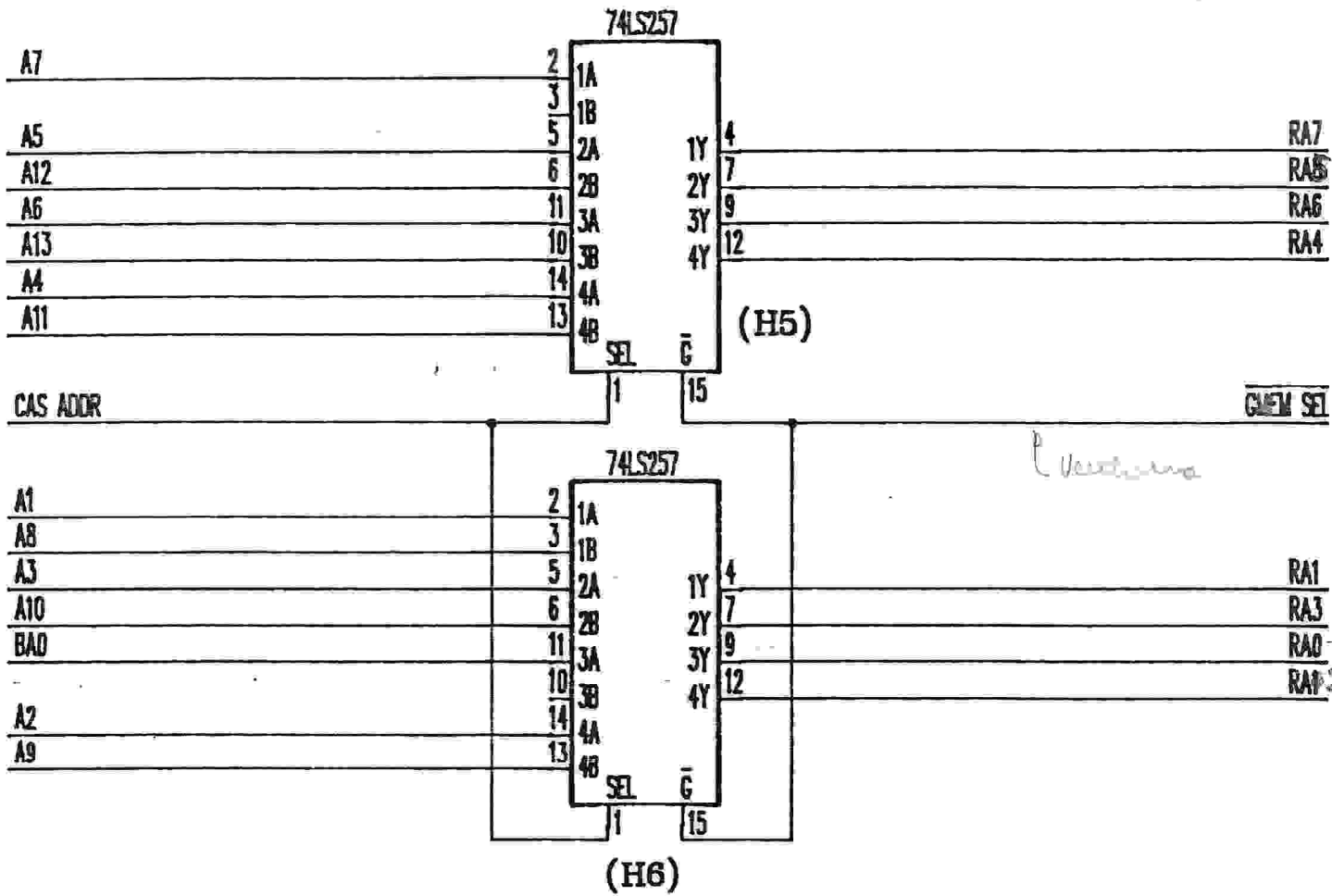


FIGURA 17

# RA0 - RA7 6845

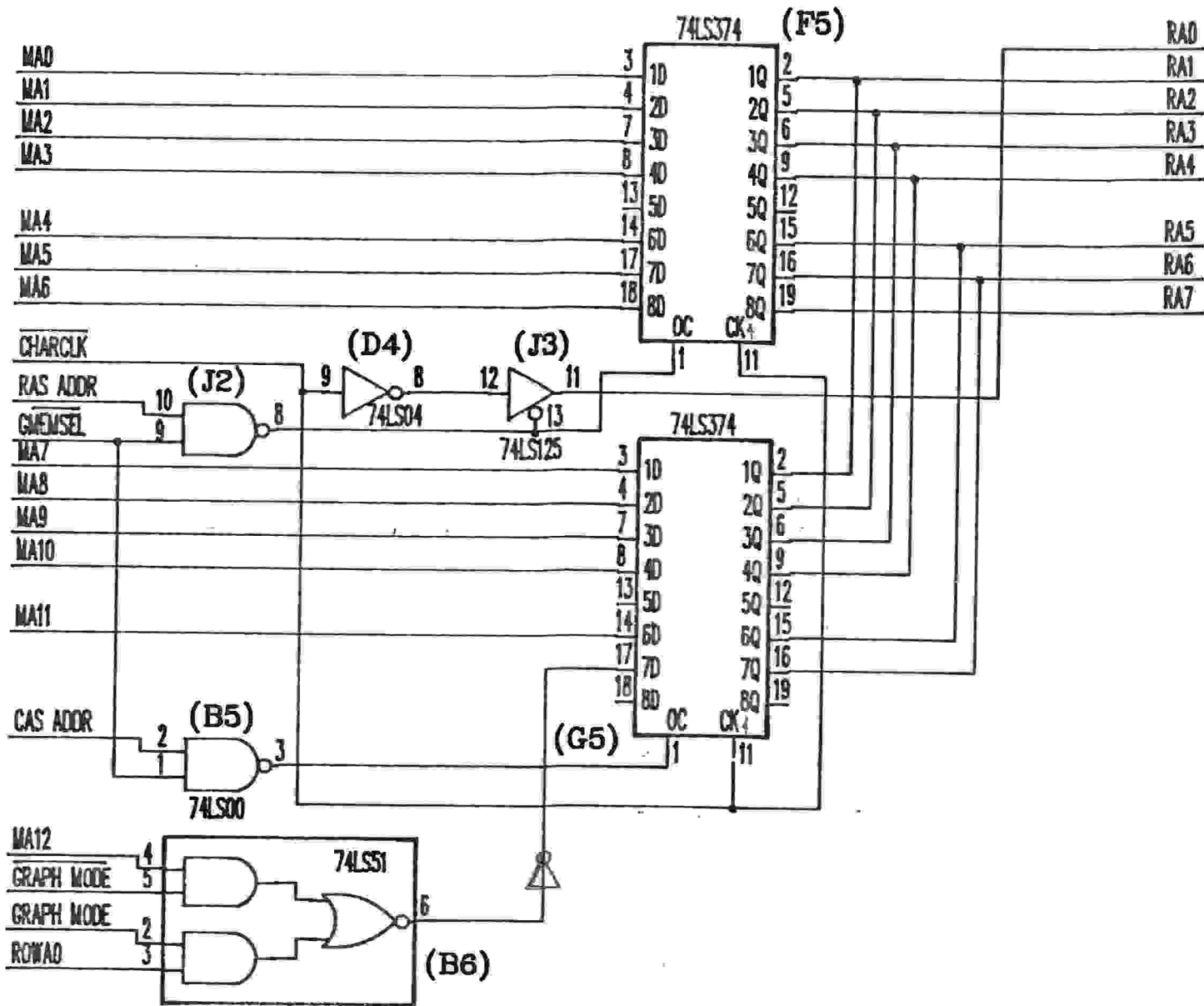


FIGURA 18

CHARCLK → MANEJA RAM para que el CRTIC direcciona 16 K con 13/100

# RRAS - RCAS - RWE - CAS ADDR - RAS ADDR

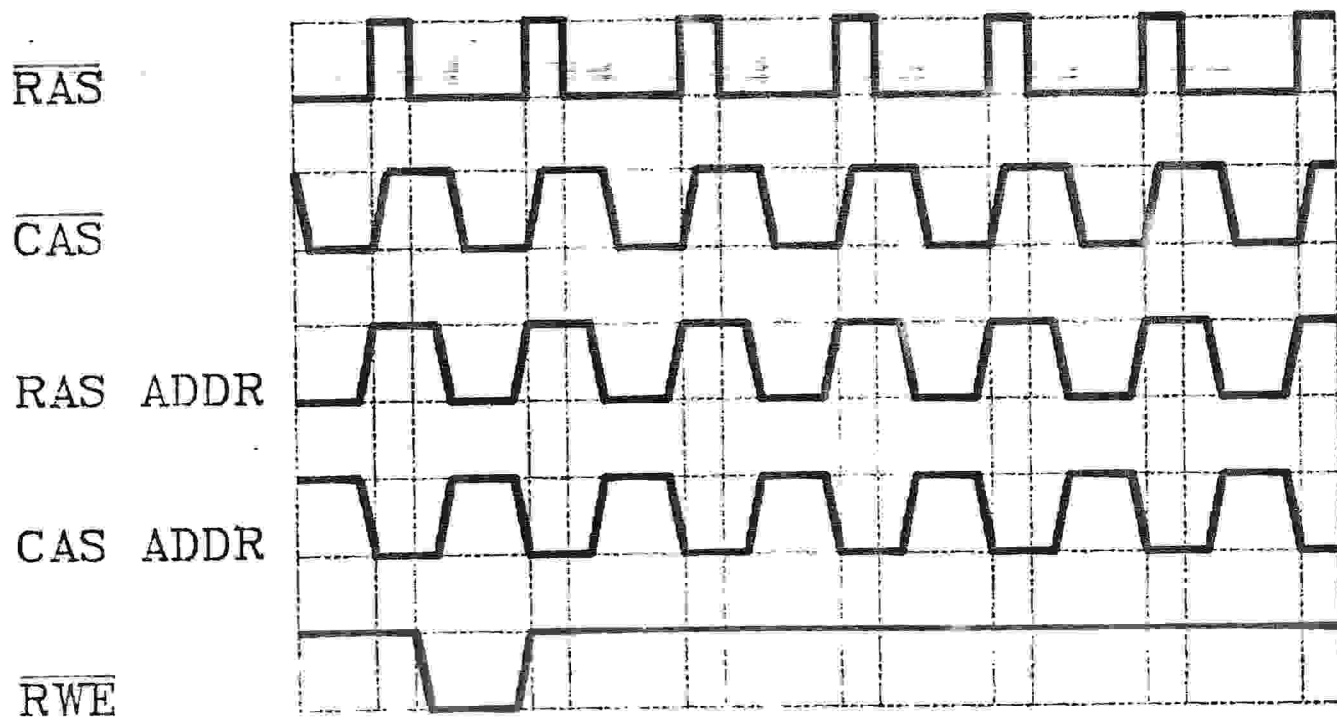
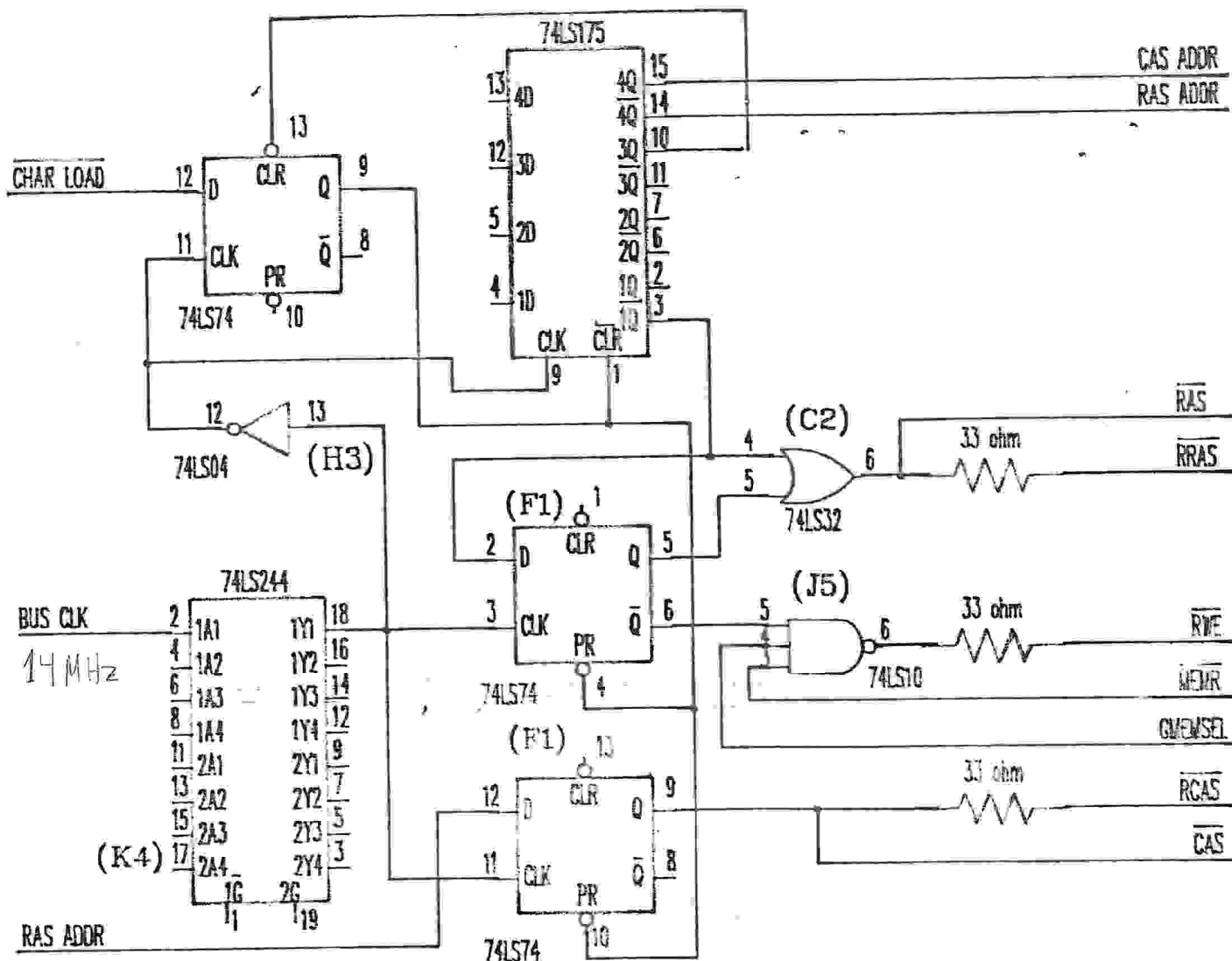
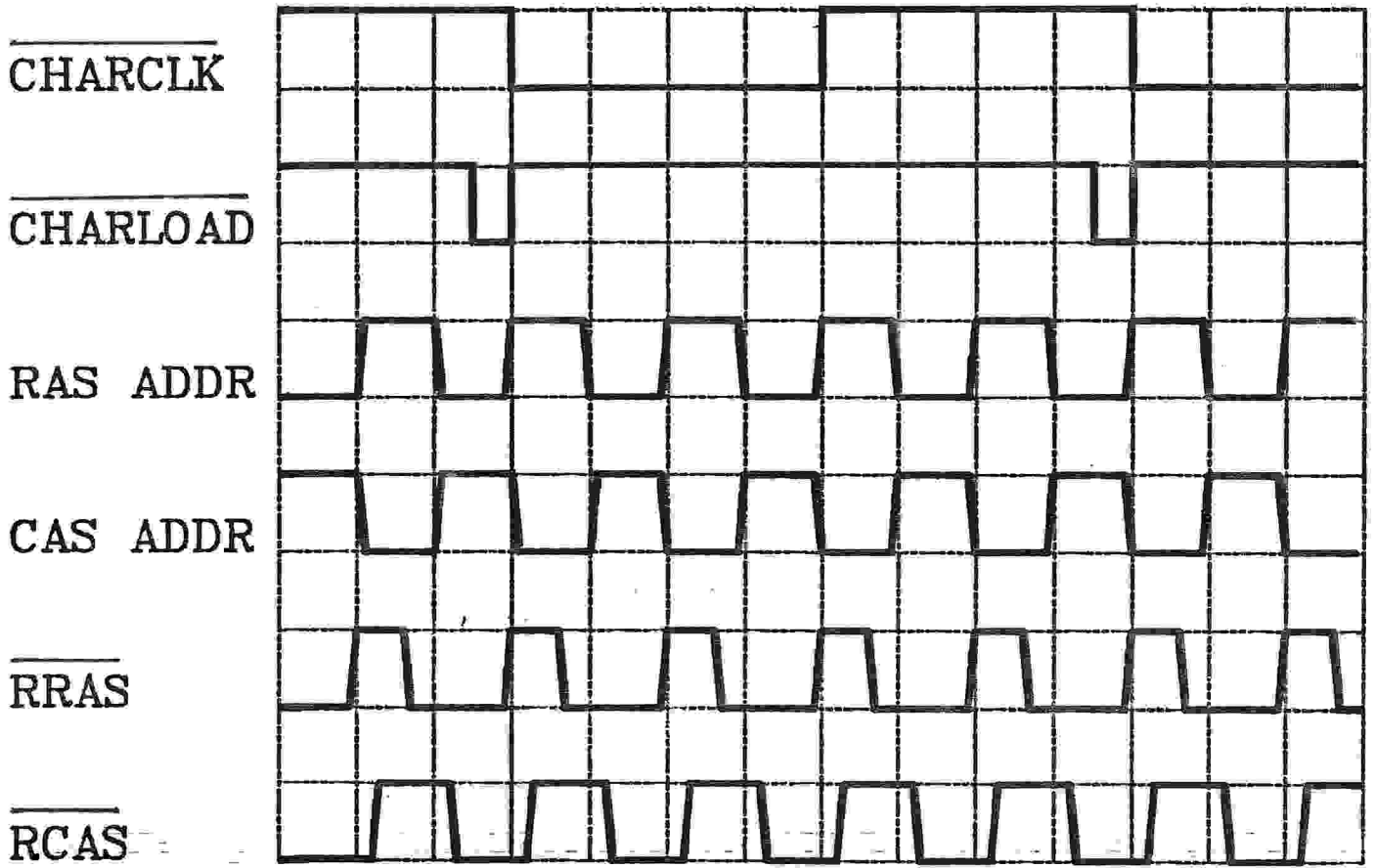


FIGURA 19

CONDICIONES:  $\overline{\text{CHARCLK}}$  Y  $\overline{\text{CHARLOAD}}$  }  $W=40$   
 $S=0$  }  $\overline{\text{RAS ADDR}}$  }  $W=40$   
 $\overline{\text{CAS ADDR}}$  }  $S=0$   
 $\overline{\text{RRAS}}$   
 $\overline{\text{RCAS}}$



CONDICIONES:  $\overline{\text{CHARCLK}}$  Y  $\overline{\text{CHARLOAD}}$  }  $W=80$   
 $S=0$  }  $\overline{\text{RAS ADDR}}$  }  $W=40$   
 $\overline{\text{CAS ADDR}}$  }  $S=0$   
 $\overline{\text{RRAS}}$   
 $\overline{\text{RCAS}}$

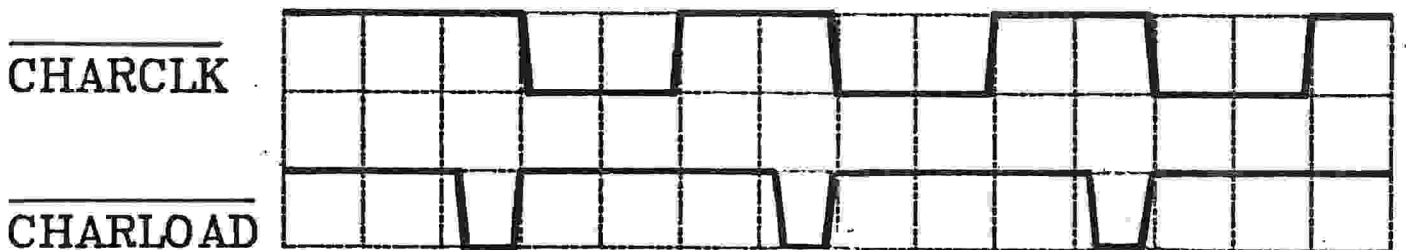


FIGURA 20



# GMEMSEL-IORDY

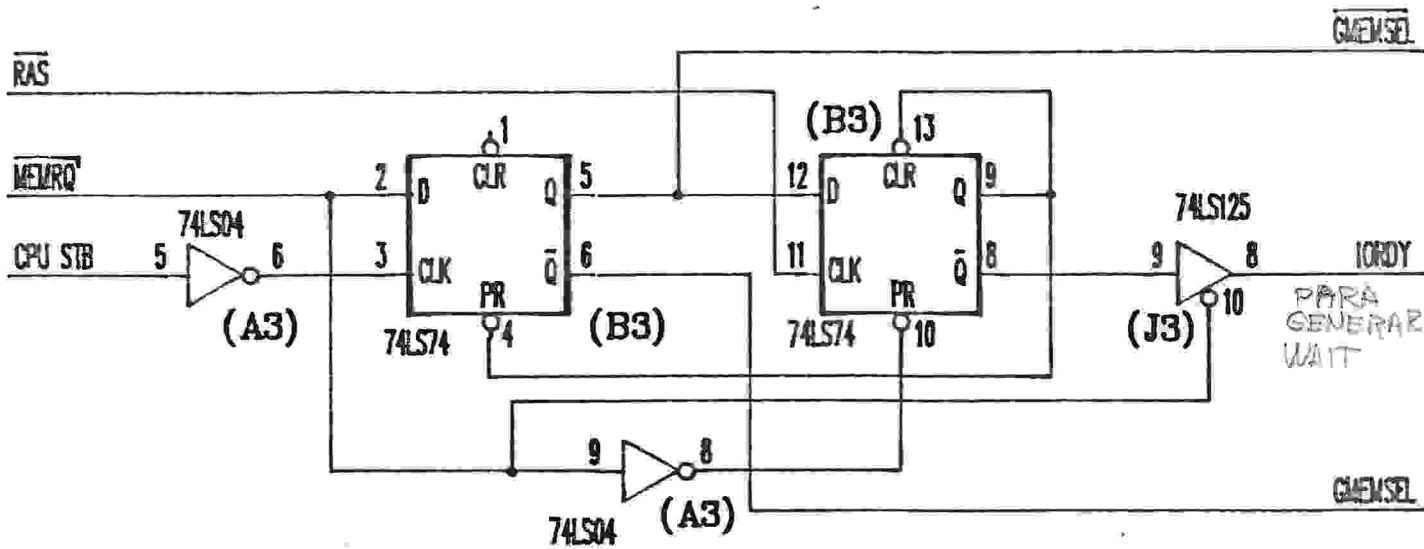


FIGURA 21

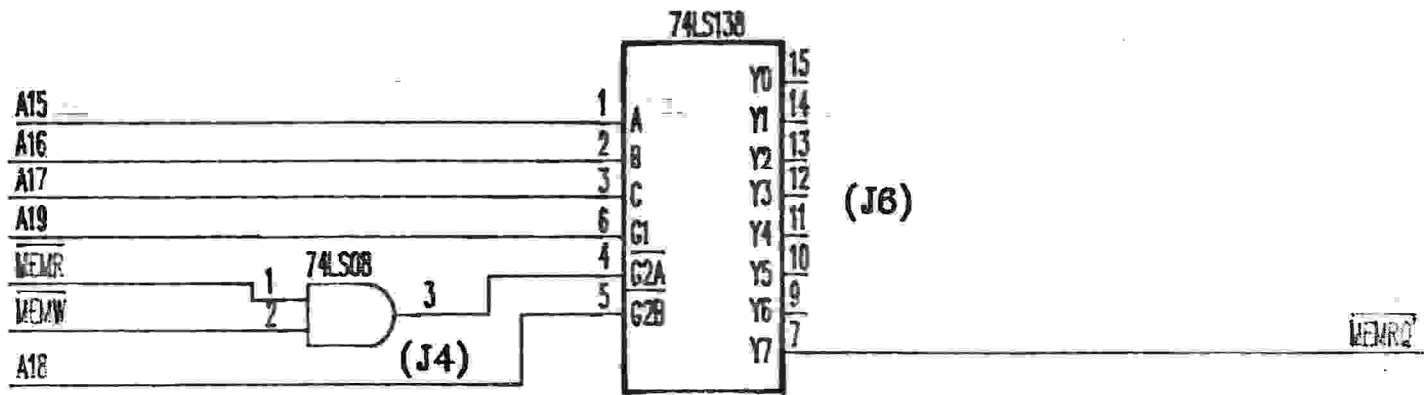


FIGURA 22

$\overline{\text{CPUSTB}}'$   
(HIGH RES=0)

$\overline{\text{MEMRQ}}'$

$\overline{\text{MEMW}}$

$\overline{\text{MEMR}}$

$\overline{\text{GMEMSEL}}$

$\text{IORDY}'$

$\text{IORDY}$

$\overline{\text{RAS}}$

$\text{PS/J5}$

$\overline{\text{RWE}}$

$\overline{\text{CPUSTB}}'$   
(HIGH RES=1)

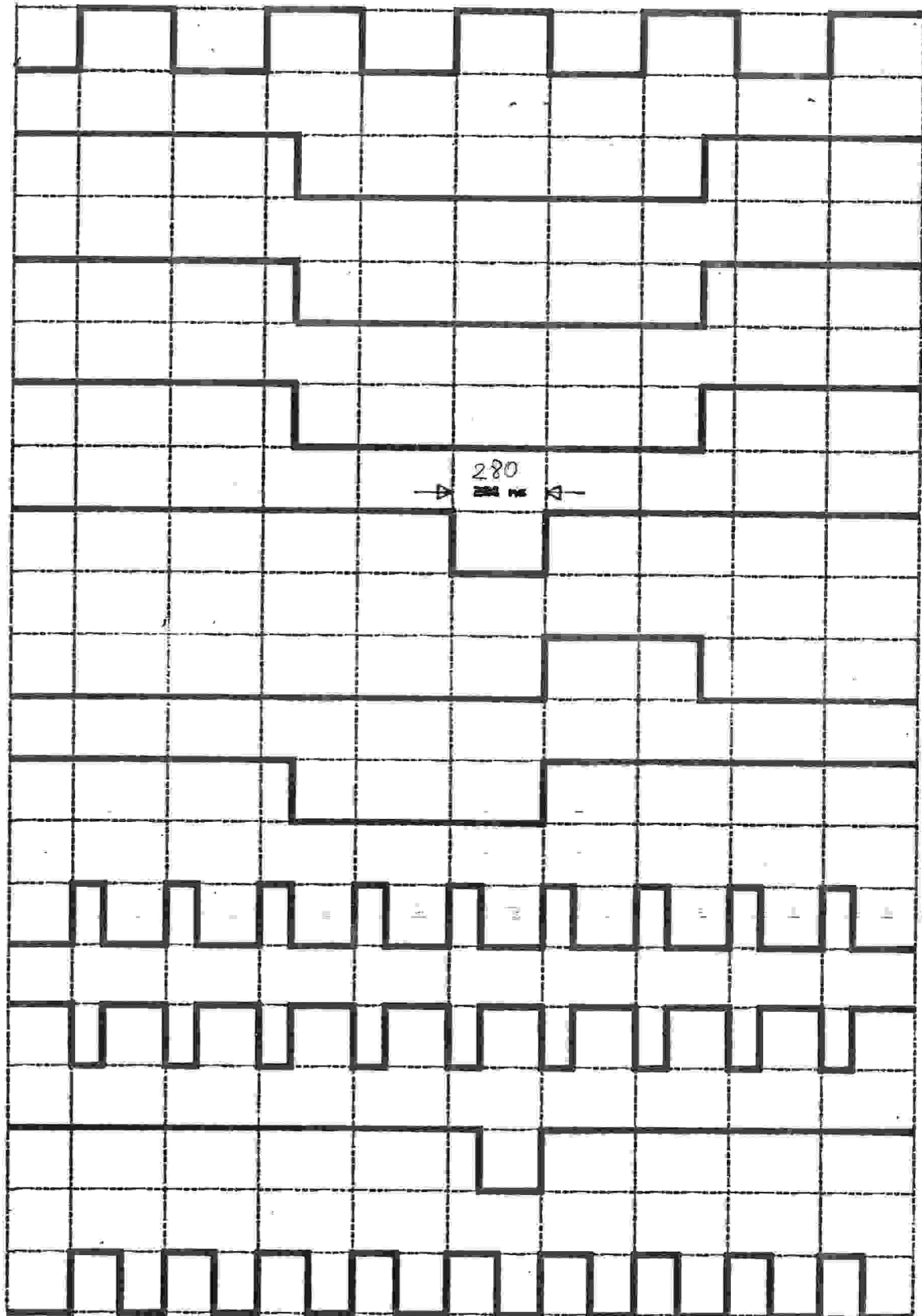


FIGURA 23

# BUS DE DATOS

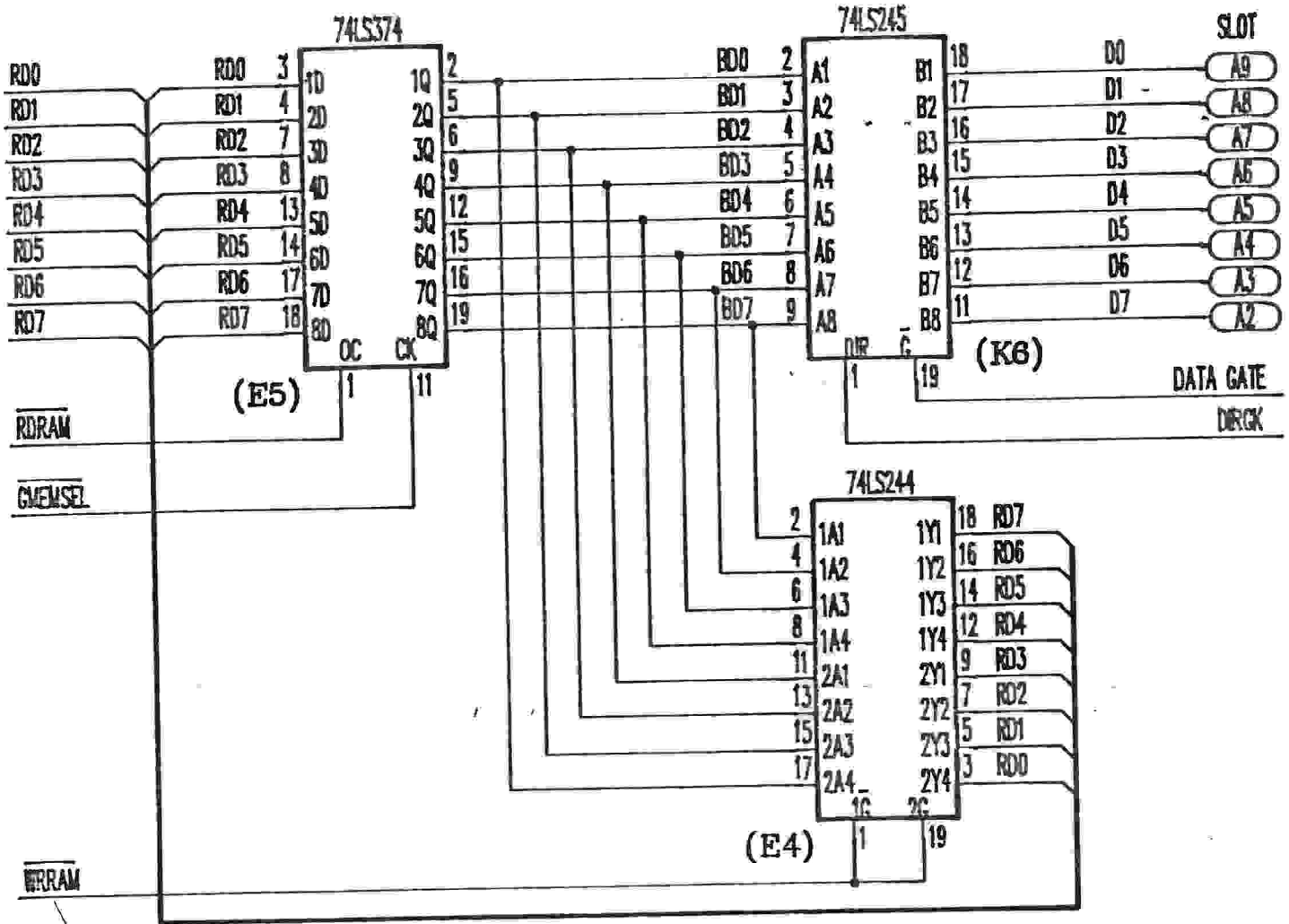


FIGURA 24

PARA GRABAR  
(GMENSEL COMUNICACION PARA SEABAR)

## DIRGK

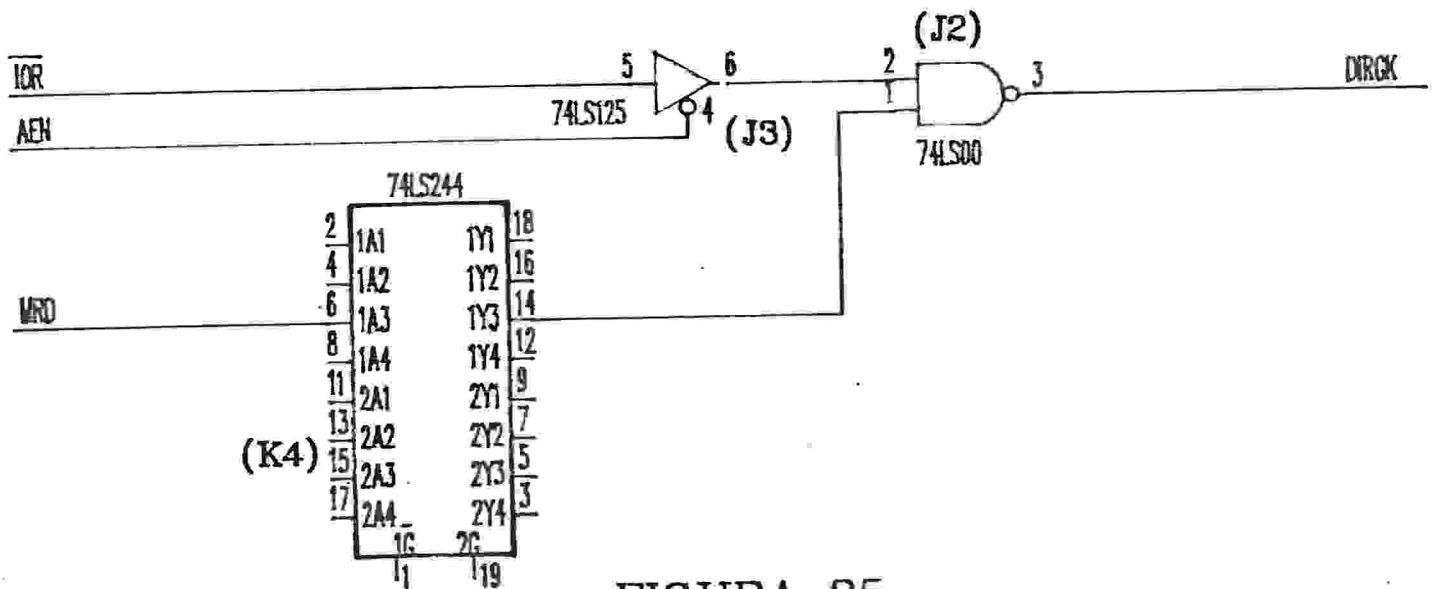


FIGURA 25

# DATA GATE

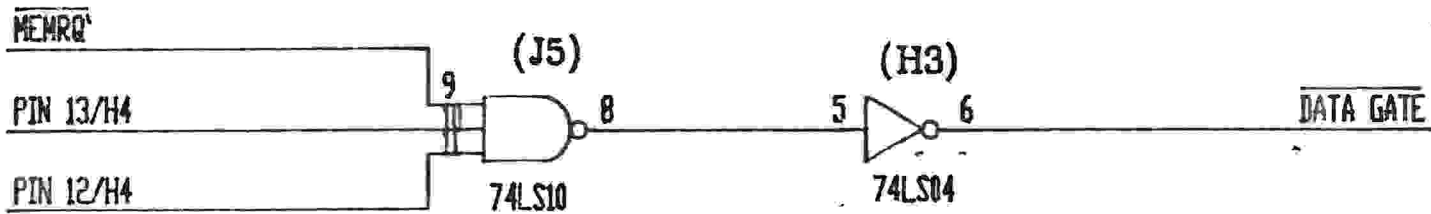


FIGURA 26

# RD RAM - WR RAM

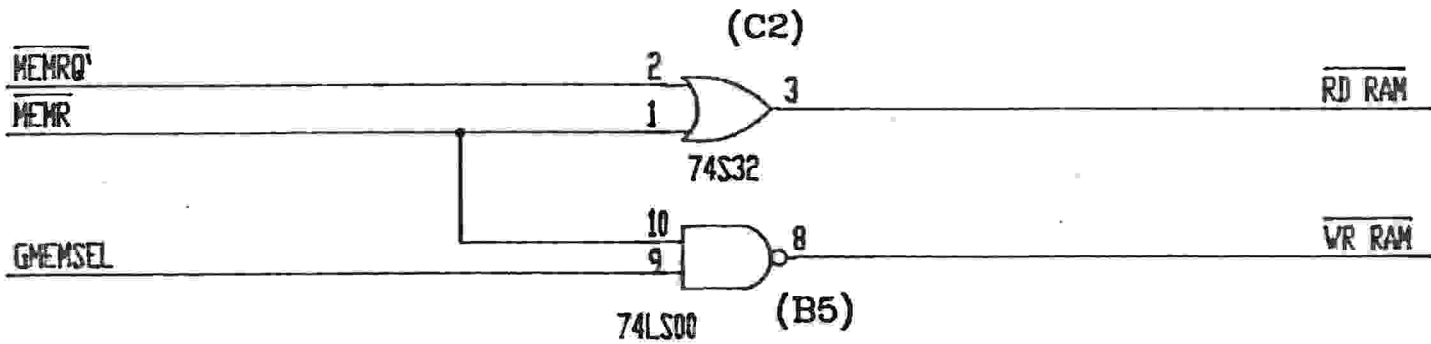


FIGURA 27

# CRTC 6845

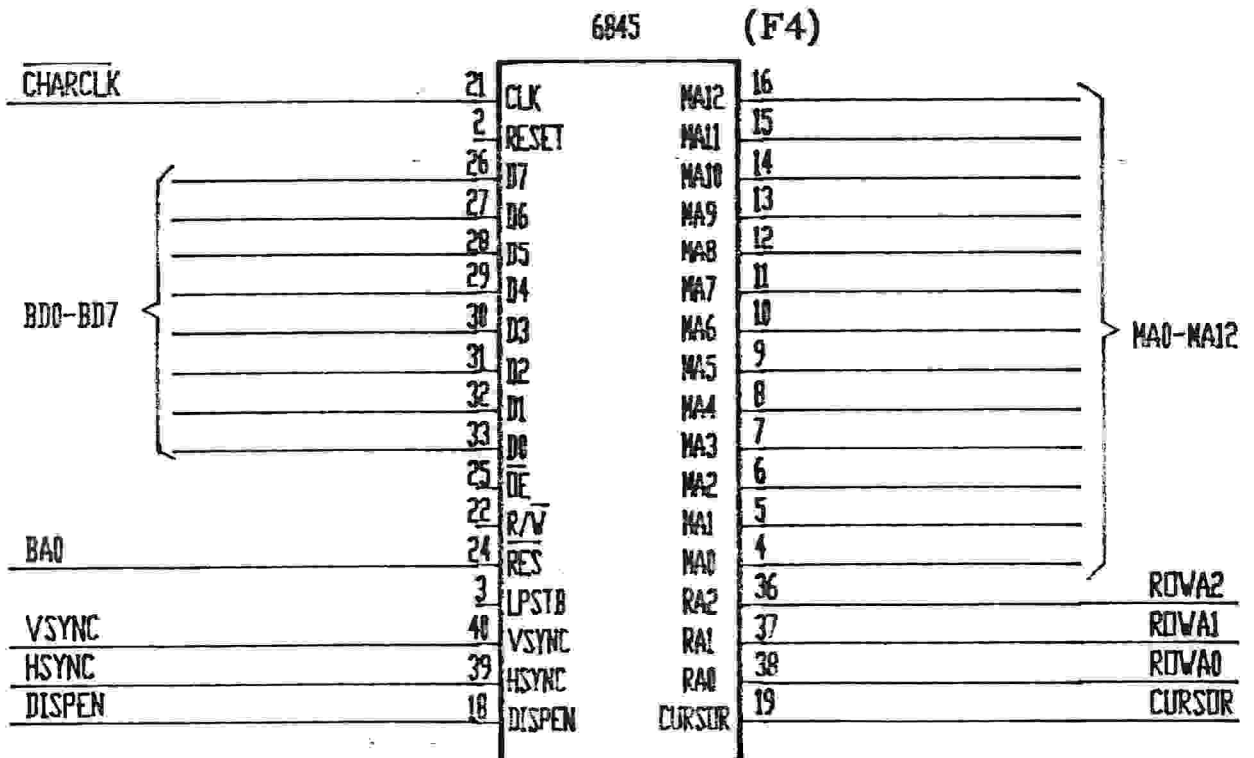


FIGURA 28